

(11)Publication number : 05-303080  
 (43)Date of publication of application : 16.11.1993

(51)Int.Cl. G02F 1/133  
 G09F 9/30  
 G09G 3/36

(21)Application number : 04-106827  
 (22)Date of filing : 24.04.1992

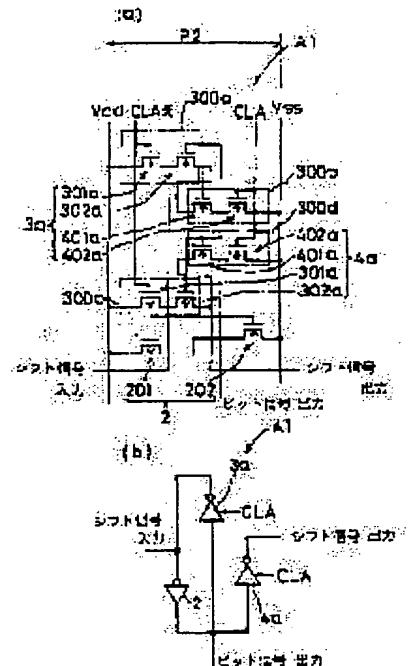
(71)Applicant : SEIKO EPSON CORP  
 (72)Inventor : OZAWA NORIO

#### (54) ACTIVE MATRIX PANEL

##### (57)Abstract:

PURPOSE: To realize the active matrix panel which can convert a unit cell on a driving circuit side to a narrow by optimizing arrangement of a thin film transistor of a shift register.

CONSTITUTION: In a source line driving circuit of the active matrix panel, a TFT for constituting clocked inverters 3a, 4a of its unit shift register A1 is formed in thin film transistor forming areas 300a-300d, and as for these thin film transistor forming areas, one each end side of the thin film transistor forming areas in which the thin film transistors of different conductive types are formed is adjacent to each other, and on the other hand, the other end sides thereof are positioned in the directions being opposite to each other. Therefore, the thin film transistors are deviated at every conductive type, and also, a forming pitch P2 of a unit shift register is made narrow.



##### \* NOTICES \*

JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

#### CLAIMS

##### [Claim(s)]

[Claim 1] In [ inside it is a source line drive circuit and a gate line driving circuit which are formed between a formation area of a picture element matrix on the same board, and a periphery edge of said substrate, and drive a display action of each pixel ] a drive circuit of one side at least, Per [ the shift register is equivalent to the 1 bit ] unit shift registers, It has two clocked inverter circuits driven based on a clock signal which comprised a thin film transistor of the 1st conductivity type and the 2nd conductivity type, and was inputted from a clock signal line at least, A thin film transistor of said 1st conductivity type and the 2nd conductivity type, It is formed in a thin film transistor formation area arranged by four rows toward the formation area side of said picture element matrix from a periphery veranda of said substrate for every

thin film transistor of the same conductivity type of the same clocked inverter circuit in a formation area of said clocked inverter circuit, An active matrix panel characterized by a thing of a thin film transistor formation area for which a thin film transistor of a different conductivity type among these thin film transistor formation areas was formed for which those another side one end is mutually located in a counter direction on the other hand while one end is mutually close.

[Claim 2] In claim 1, a formation area of said shift register, It separates into the 1st shift register formation area of a periphery veranda of said substrate, and the 2nd shift register formation area by the side of a formation area of said picture element matrix, An active matrix panel, wherein it divides said shift register into these shift register formation areas as the 1st and 2nd shift registers and it is formed in them.

[Claim 3] Inside of a clock signal line which supplies a clock signal to said shift register in claim 2, The 1st clock signal line that supplies a clock signal to the 1st shift register formed in said 1st shift register formation area, Parallel arrangement is carried out to a position which adjoins to said 1st shift register formation area, An active matrix panel, wherein parallel arrangement of the 2nd clock signal line that supplies a clock signal to the 2nd shift register formed in said 2nd shift register formation area is carried out to a position which adjoins to said 2nd shift register formation area.

[Claim 4] An active matrix panel, wherein said 1st clock signal line and said 2nd clock signal line are arranged in claim 3 at a position which separated the abbreviation equal distance to each corresponding shift register formation area.

[Claim 5] In claim 3 or claim 4, said 1st clock signal line is formed in a periphery veranda of said substrate to said 1st shift register formation area, An active matrix panel, wherein said 2nd clock signal line is formed in the formation area side of said picture element matrix to said 2nd shift register formation area.

[Claim 6] In a paragraph of either claim 3 thru/or claim 5, from said 1st clock signal line and said 2nd clock signal line, a clock signal for every series with which a phase shifted is supplied, and it corresponds to a clock signal for every series of these, An active matrix panel, wherein said 1st and 2nd shift registers are also systematized.

[Claim 7] In a paragraph of either claim 3 thru/or claim 6, of said 1st and 2nd clock signal lines, at least a clock signal line of one side, An active matrix panel, wherein it comprises two or more clock signal lines with which a clock signal for every series with which a phase shifted is supplied and said 1st or 2nd shift register side is also systematized corresponding to a clock signal for every series of these.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Industrial Application] Especially this invention relates to the structure art by the side of the drive circuit about active matrix panels, such as a liquid crystal display panel.

#### [0002]

[Description of the Prior Art] In the liquid crystal display panel of the active matrix among the flat type display panels which display information using the oriented state of a liquid crystal, etc., In the entire configuration, as shown in a block diagram, the picture element matrix 22, the source line drive circuit 12, and the gate line driving circuit 21 are formed on the same transparent substrate 11 at drawing 13, and miniaturization of a display, highly-minute-izing, and low cost-ization are attained. Here, while the source line drive circuit 12 has the shift register 13, the sample hold circuits 17, 18, and 19, and the video signal lines 14, 15, and 16, the gate line driving circuit 21 has the buffer circuit 23 the shift register 20 and if

needed, two or more source lines 26, 27, and 28 with which the picture element matrix 22 was connected to the source line drive circuit 12 -- with ... two or more gate lines 24 and 25 connected to the gate line driving circuit 21 -- two or more pixels 32 and 33 formed in the intersection of ..., and these gate lines and a source line -- having ... each pixels 32 and 33 -- in ..., it has the thin film transistor (TFT) 29 and the liquid crystal cell 30. While the clock signal line 34 which should input a clock signal into the shift register 13 is arranged, the clock signal line 37 which should input a clock signal into the shift register 20 is arranged at the source line drive circuit 12 side at the gate line driving circuit 21 side. 35 and 36 are start signal lines which input a start signal into the source line drive circuit 12 and the gate line driving circuit 21.

[0003]As shown in drawing 14 (a) per bit, here the shift registers 13 and 20, The unit shift registers 1a driven by clock signal CLA of the clock signals CKA, Or it comprises the unit shift registers 1b driven by clock signal CLA and clock signal CLA[ of an opposite phase ] \*, and these unit shift registers 1a and 1b are arranged by turns in the shift direction. The unit shift registers 1a comprise the one inverter 2 and the two clocked inverters 3a and 4a among these unit shift registers 1a and 1b, and the unit shift registers 1b comprise the one inverter 2 and the two clocked inverters 3b and 3a. Before long, the inverter 2 has CMOS structure which consists of p type TFT201 and n type TFT202, as shown in drawing 14 (b). As shown in drawing 14 (c), the clocked inverters 3a and 4a, To comprising p type TFT301a, 302a, and n type TFT401a and 402a, and the drive having become possible by clock signal CLA, the clocked inverters 3b and 4b, As shown in drawing 14 (d), it comprises p type TFT301b, 302b, and n type TFT401b and 402b, and the drive has become possible by clock signal CLA\* of the opposite phase.

[0004]For this reason, in the conventional active matrix panel, As shown in drawing 15, for example, the inside of the shift register 81 of the source line drive circuit 80, P type TFT301a of the clocked inverters 3a and 4a, 302a, and n type TFT401a and 402a, It is formed in the thin film transistor formation areas 803a and 804a of two rows arranged toward the formation area side (the direction of the arrow Y) of a picture element matrix from the periphery veranda (the direction of the arrow X) of a substrate, respectively.

[0005]

[Problem(s) to be Solved by the Invention]In the liquid crystal display panel of such composition, although narrowing of the picture element pitch is carried out to the purpose of raising the display quality and minuteness making of a pixel is being attained, the picture element pitch is in the state where it was specified in the pitch P11 of the unit cell of the source line drive circuit 80. Here the clocked inverters 3a and 4a of the shift register 81 to comprising four TFT(s) the analog switch part 85, They are n type TFT85a and 85b for every unit cell of the source line drive circuit 80... With a chisel, it is constituted and the inverter circuits 87a and 87b of the buffer circuit 87, Since it comprises the complementary type TFT, respectively, the pitch P11 of the unit cell of the source line drive circuit 80 is specified to the formed pitch P12 of the unit shift registers in the shift register 81 with high formation density of TFT.

[0006]However, in the conventional active matrix panel, there are restrictions on the structure of the shift register 81, and there is a problem that the narrowing of the pitch P11 (picture element pitch) of the unit cell of the source line drive circuit 80 cannot be carried out. Namely, in the ion implantation process of the manufacturing processes of the shift register 81, Since it is necessary to introduce the impurity of a reverse conductivity type into the field which forms p type TFT301a from which a conductivity type differs among the thin film transistor formation areas 803a and 804a, 302a, and n type TFT401a and 402a, respectively, It is necessary to establish a predetermined interval, for example, a not less than about ten-micrometer interval, between p type TFT301a, 302a, and n type TFT401a and 402a. Therefore, a linear dimension [ in / in any thin film transistor formation areas 803a and 804a / the side direction (the direction of the arrow Z) of the substrate ] will become long.

[0007]The working speed of a source line drive circuit like the source line drive circuit 90 shown in drawing 16 at the purpose of improving, While forming the clock signal lines 93 and 94 of two series in the periphery veranda (the direction of the arrow X) of a substrate to the shift shift register 91, With the clock signal CKACKB supplied from there, the shift register 91 may be systematized two times to the shift register 91a of A series, and the shift register 91b of B series so that 2 series drives of the shift shift register 91 may be possible. However, on [ even if it is in this case ] restrictions [ in / in the thin film transistor formation area 903a of the periphery veranda (the direction of the arrow X) of a substrate and the thin film transistor formation area 903b by the side of the formation area of a picture element matrix (the direction of the arrow Y) / an ion implantation process ], Since it is necessary to establish a not less than about ten-micrometer interval between p type TFT and n type TFT which differ in a conductivity type, a linear dimension [ in / in any thin film transistor formation areas 903a and 904a / the side direction (the direction of the arrow Z) of a substrate ] will become long. Therefore, narrowing of the formed pitch P12 of the unit

shift registers in the shift register 91 cannot be carried out. In drawing 16, the clock signal lines 93 and 94, The clock signal line 931,941 which supplies clock signal CLA and CLB to the shift register 91, respectively, It comprises the clock signal line 932,942 which supplies clock signal CLA\* of an opposite phase, and CLB\* to the shift register 91 to clock signal CLA and CLB, And the clock signal CKA (CLA, CLA\*) and the clock signal CKB (CLB, CLB\*) have a 90-degree gap mutually.

[0008]In view of the above problem, the technical problem of this invention optimizes the arrangement structure of the thin film transistor which constitutes a shift register, and there is in realizing the active matrix panel in which a making narrow pitch is possible about the unit cell by the side of a drive circuit.

[0009]

[Means for Solving the Problem]In order to solve an aforementioned problem, a means provided in this invention, In [ inside it is a source line drive circuit and a gate line driving circuit which are formed between a formation area of a picture element matrix on the same board, and a periphery edge of a substrate, and drive a display action of each pixel ] a drive circuit of one side at least, Per [ which is equivalent to the shift register at the 1 bit ] unit shift registers, Two clocked inverter circuits driven based on a clock signal which comprised a thin film transistor of the 1st conductivity type and the 2nd conductivity type, and was inputted from a clock signal line at least are formed, In a formation area of a clocked inverter circuit a thin film transistor of the 1st conductivity type and the 2nd conductivity type, Form in a thin film transistor formation area arranged by four rows toward the formation area side of a picture element matrix from a periphery veranda of a substrate for every thin film transistor of the same conductivity type of the same clocked inverter circuit, and. It is a thing of a thin film transistor formation area in which a thin film transistor of a different conductivity type among these thin film transistor formation areas was formed those another side one end is made to be mutually located in a counter direction while making one end approach mutually on the other hand. That is, it is separating the formation areas of a thin film transistor from which a conductivity type differs from a periphery veranda of a substrate also in the direction of the formation area side of a picture element matrix.

[0010]A shift register formation area is divided into the 1st shift register formation area of a periphery veranda of a substrate, and the 2nd shift register formation area by the side of a formation area of a picture element matrix in this invention, It is preferred to divide a shift register into these shift register formation areas as the 1st and 2nd shift registers, and to form it in them.

[0011]In this case, a clock signal input line which supplies a clock signal from a clock signal line to a shift register, Between a 1st shift register side and the 2nd shift register side, the size, And inside of a clock signal line which supplies a clock signal to a shift register at the purpose constituted from a shortest size, Parallel arrangement of the 1st clock signal line that supplies a clock signal to the 1st shift register formed in the 1st shift register formation area is carried out to a position which adjoins to the 1st shift register formation area, It is preferred to carry out parallel arrangement of the 2nd clock signal line that supplies a clock signal to the 2nd shift register formed in the 2nd shift register formation area to a position which adjoins to the 2nd shift register formation area. It is preferred to arrange in a position which separated the abbreviation equal distance to each shift register formation area which corresponds the 1st clock signal line and 2nd clock signal line.

[0012]A clock signal line is kept from passing along a shift register formation area, It is preferred to form the 1st clock signal line in a periphery veranda of a substrate to the 1st shift register formation area, and to form the 2nd clock signal line in the purpose of carrying out narrowing of the formed pitch of unit shift registers, to the 2nd shift register formation area at the formation area side of a picture element matrix.

[0013]The operating characteristic of a thin film transistor which constitutes a shift register with the actual condition, It is preferred to supply a clock signal for every series with which a phase shifted from the 1st clock signal line and the 2nd clock signal line to the purpose of raising working speed of a drive circuit, and to also systematize the 1st and 2nd shift REJITA corresponding to a clock signal for every series of these. It is preferred to constitute the 1st or 2nd clock signal line from two or more clock signal lines with which a clock signal for every series with which a phase shifted is supplied for the same purpose, and to also systematize the 1st or 2nd shift REJITA side for it corresponding to a clock signal for every series of these.

[0014]

[Function]In the active matrix panel concerning this invention which provided the above-mentioned means, in the shift register of a source line drive circuit or a gate line driving circuit. The thin film transistor of the 1st conductivity type and the 2nd conductivity type which constitutes the clocked inverter circuit, For every thin film transistor of the same conductivity type of the same clocked inverter circuit. It has formed in the thin film transistor formation area of four rows arranged toward the formation area side of a picture

element matrix from the periphery veranda of a substrate. Since [ of the thin film transistor formation areas in which the thin film transistor of a different conductivity type among these thin film transistor formation areas was formed ] those another side one end of each other is turned to the counter direction while making one end approach mutually on the other hand. The formation areas of the thin film transistor from which a conductivity type differs are separated from the periphery veranda of the substrate also in the direction of the formation area side of a picture element matrix. Therefore, the formation areas of the thin film transistor from which a conductivity type differs are unevenly distributed in a mutually different field with the state where it approached each other. So, there is no trouble which is in charge of forming a thin film transistor, and, moreover, the narrowing of the formed pitch of a shift register with high formation density of a circuit element can be carried out. As a result, narrowing of the pitch of the unit cell of a drive circuit is carried out, and the minuteness making of the picture element matrix can be carried out.

[0015] Since the making narrow pitch of the pitch of the unit cell of a drive circuit can be substantially carried out when a shift register formation area is divided into the 1st shift register formation area of the periphery veranda of a substrate, and the 2nd shift register formation area by the side of the formation area of a picture element matrix, the minuteness making of the picture element matrix can be carried out.

[0016]

[Example] Below, the example of this invention is described with reference to an accompanying drawing.

[0017] [Example 1] The block diagram and drawing 3 of the lineblock diagram and drawing 2 in which arrangement of the thin film transistor by the side of the source line drive circuit of the active matrix panel (liquid crystal display panel) which drawing 1 requires for Example 1 of this invention, and a wiring layer is shown are the circuit diagram. Here, since the entire configuration of the active matrix panel of this example is in general the same as that of the block diagram shown in drawing 13, in the following explanation, only the composition of a source line drive circuit is explained in full detail.

[0018] In the source line drive circuit 40 of the active matrix panel of this example, in these figures, the drive system of the shift register 40 is systematized two times like the conventional source line drive circuit shown in drawing 15. The source line drive circuit 40 is formed on the same transparent substrate with a picture element matrix and a gate line driving circuit (neither is illustrated.), and drives the display action of each pixel of a picture element matrix. The source line drive circuit 40 is formed in from the periphery edge of a substrate before the formation area of a picture element matrix, and in this example here the shift register 41, The 1st shift register formation area 42a of the periphery veranda (the direction of the arrow X) of a substrate, the 2nd shift register formation area 42b by the side of the formation area of a picture element matrix (the direction of the arrow Y) -- respectively -- the unit shift registers A1, A2, and A3 -- with the shift register 41a (the 1st shift register) of A series which consists of ... the unit shift registers B1, B-2, and B3 -- it is divided and formed in the shift register 41b (the 1st shift register) of B series which consists of ... The inside of the clock signal line which supplies the clock signal CKACKB to the shift registers 41a and 41b of A series and B series, The clock signal line 43 (the 1st clock signal line) of A series which supplies the clock signal CKA to the shift register 41a of A series, Parallel arrangement is carried out to the position which adjoins to the 1st shift register formation area 41a, Parallel arrangement of the clock signal line 44 (the 2nd clock signal line) of B series which supplies the clock signal CKB to the shift register 41b of B series is carried out to the position which adjoins to the 2nd shift register formation area 42b. The clock signal line 43 of A series is formed in the periphery veranda (the direction of the arrow X) of a substrate to the 1st shift register formation area 42a here, The clock signal line 44 of B series is formed in the formation area side (the direction of the arrow Y) of a picture element matrix to the 2nd shift register formation area 42b. The clock signal line 43 of A series and the clock signal line 44 of B series are in the position which separated the abbreviation equal distance to the corresponding 1st or 2nd shift register formation area 42a and 42b. For this reason, the clock signal input line 49a which connects the clock signal line 43 of A series, and the shift register 41a of A series, The wiring length of the clock signal input line 49b which connects the clock signal line 44 of B series and the shift register 41b of B series is designed by a approximately the same size method and the shortest size, and a gap of a synchronization occurs in the clock signal CKACKB.

[0019] To the 2nd shift register formation area 42b, to the formation area side (the direction of the arrow Y) of a picture element matrix. The bit-signals output line 46 for turning to the analog switch 45 side of a sample hold section the bit signals outputted from the shift register 41, and sending them out is formed, and on the way [ the ] in a position. The buffer circuit 47 which also exhibits the function which eases the influence of the noise from the clock signal line 44 of B series which amplifies bit signals and, with which the bit-signals output line 46 crosses is constituted by the two inverters 47a and 47b. Here as the buffer circuit 47 which should ease the influence of the noise from the clock signal line 44 of B series, A buffer

circuit can also be constituted using the parasitic capacitance C constituted with the interlayer insulation, film 48 which intervenes between the resistance R which is parasitic on the bit-signals output line 46 of the high resistance formed by the polycrystalline silicon layer, the bit-signals output line 46, and the aluminum wiring layer slack clock signal line 44.

[0020]A clocked gate etc. are employable.

[0021]In this example, the clock signal line 43 of A series, It comprises the two clock signal lines 431,432 with which clock signal CLA of an opposite phase and CLA\* are transmitted mutually, and the clock signal line 44 of B series also comprises mutually the clock signal CLB of an opposite phase, and the two clock signal lines 441,442 with which CLB\* is transmitted.

[0022]the odd-numbered [ from the clock signal line 431,441 among these clock signal lines 43 and 44 ] unit shift registers A1, and A3 ..., B1, and B3 — clock signal CLA and CLB being inputted into ..., and, the even-numbered [ from the clock signal line 432,442 ] unit shift registers A2, and A4 ..., B-2, and B4 — clock signal CLA\* and CLB\* are inputted into ... Here the shift registers 41a and 41b of A series and B series, As all show drawing 3, with the one inverter 2 and the two clocked inverters 3a and 4a (clocked inverters 3b and 4b), the unit shift registers A1 for 1 bit, A2, and A3 ..., B1, B-2, and B3 ... being constituted and, before long — the odd-numbered unit shift registers A1 and A3 ..., B1, and B3 ... is driven by clock signal CLA and CLB among the clock signals CKACKB.

on the other hand — the even-numbered unit shift registers A2 and A4 ..., B-2, and B4 ... is driven among the clock signals CKACKB by clock signal CLA\* of clock signal CLA, CLB, and an opposite phase, and CLB\*.

Here, the inverter 2 has CMOS structure which consists of p type TFT201 and n type TFT202, as shown in drawing 1 and drawing 14 (b). As shown in drawing 1 and drawing 14 (c), the clocked inverters 3a and 4a, As opposed to comprising two p type TFT301a, 302a, and n type TFT401a and 402a, and the drive having become possible by clock signal CLA and CLB, As shown in drawing 1 and drawing 14 (d), the clocked inverters 3b and 4b comprise two p type TFT301b, 302b, and n type TFT401b and 402b, and the drive of them is attained by clock signal CLA\* of an opposite phase, and CLB\*.

[0023]The phase of the clock signal CKA (clock signal CLA, CLA\*) from the clock signal line 83 of A series, 90 degrees is shifted like the timing chart indicated to be a phase (the clock signal CLB, CLB\*) of the clock signal CKB from the clock signal line 84 of B series to drawing 4. for this reason — [ after inputting start signal DX ] — the odd-numbered unit shift registers A1 of the shift register 41a of A series, and A3 ... outputs the bit signals 252 corresponding to pulse falling of clock signal CLA.

on the other hand — the even-numbered unit shift registers A2 of the shift register 41a of A series, and A4 ... outputs the bit signals 254 corresponding to pulse falling of clock signal CLA\*.

the odd-numbered unit shift registers B1 of the shift register 41b of B series and B3 ... outputs the bit signals 253 corresponding to pulse falling of the clock signal CLB.

on the other hand — even-numbered unit-shift-registers B-2 of the shift register 41b of B series, and B4 ... outputs the bit signals 255 corresponding to pulse falling of clock signal CLB\*.

And based on the bit signals 252-255, each analog switch of the analog switch part 45 operates, and each video signal V from a Video signal wire (video1, video2, video3) is held to each source line. For this reason, without high-frequency-izing operation of the thin film transistor of the shift register 41, since substantial transmission timing of bit signals is high-frequency-ized, the working speed of the source line drive circuit 40 can be raised.

[0024]every in the source line drive circuit 40 of the active matrix panel of such composition — the arrangement structure of TFT is explained with reference to drawing 5 (a), drawing 5 (b), and drawing 6.

[0025]The lineblock diagram showing arrangement of each TFT [ in / in drawing 5 (a) / the unit shift registers A1 of the shift register 41a of A series of the source line drive circuits 40 of the active matrix panel of this example ] here, It is a top view showing the arrangement relationship of each TFT and wiring layer. [ in / drawing 5 (b) can be set in the circuit diagram, and / in drawing 6 / the unit shift registers B1 of the shift register 41b of B series of the source line drive circuits 40 ]

[0026]In drawing 5 (a) and drawing 5 (b), although the unit shift registers A1 have the one inverter 2 and the two clocked inverters 3a and 4a, Any clocked inverters 3a and 4a comprise p type TFT301a, 302a, and n type TFT401a and 402a. Here, each thin film transistor formation areas 300a, 300b, 300c, and 300d in which p type TFT301a, 302a and n type TFT401a, and 402a were formed are arranged by four rows toward the formation area side of a picture element matrix from the periphery veranda of the substrate.

The inside of the thin film transistor formation areas 300a, 300b, 300c, and 300d, The one end of the thin film transistor formation area 300a in which near p type TFT301a of the thin film transistor formation clocked inverter 3a and 302a were formed, While the one end of the thin film transistor formation area

300b in which the n type TFT401a and 402a were formed approaches each other, another side ends are located in a counter direction to having established the predetermined interval among them. The one end of the thin film transistor formation area 300c in which similarly near p type TFT301a of the clocked inverter 4a and 302a were formed, While the one end which is 300d of thin film transistor formation areas in which the n type TFT401a and 402a were formed approaches each other, another side ends are located in a counter direction to having established the predetermined interval among them. Making a different field maldistribution-ize the thin film transistor formation areas in which TFT of a different conductivity type was formed here, In the manufacturing process of p type TFT301a, 302a and n type TFT401a, and 402a. When forming them collectively to the middle, making different only the impurity which carries out an ion implantation to a silicone film before long and forming TFT of a n type and a p type one by one, When the field which carries out the ion implantation of the p type impurity, and the field which carries out the ion implantation of the n type impurity approach too much, it is because TFT which has the characteristic which was polluted with the impurity of a reverse conductivity type and was stabilized cannot be formed. However, when the interval is extended too much, as a result, it is the unit shift registers A1 and A2... The formed pitch P2 will be extended and the pitch P1 of the unit cell of the source line drive circuit 40 will also be extended. Then, in the source line drive circuit 40 of the active matrix panel of this example, The thin film transistor formation areas 300a-300d arranged by four rows toward the formation area side (the direction of the arrow Y) of a picture element matrix from the periphery veranda (the direction of the arrow X) of the substrate are formed, While making the one end sides of the thin film transistor formation area in which the thin film transistor of a different conductivity type among these thin film transistor formation areas was formed approach mutually, The linear dimension of the side direction (the direction of the arrow Z) of the substrate of the unit shift registers A1 is shortened making a different field maldistribution-ize the thin film transistor formation areas in which TFT of a different conductivity type by locating those another side one end in a counter direction mutually was formed. other unit shift registers A2 and A3 ..., B-2, and B3 ... also has same structure. For example, a connecting hole [ as opposed to / in / as shown in drawing 6 / the unit shift registers B1 / the drain of p type TFT302b ] and the connecting hole to n type TFT401a, Until it is located on the same line toward the formation area side of a picture element matrix from the periphery veranda of a substrate, The interval over the side direction of the substrate of the thin film transistor formation area 300a and the thin film transistor formation area 300b and the interval over the side direction of the substrate of 300 d of thin film transistor formation areas and the thin film transistor formation area 300c are narrowed, the unit shift registers A1 and A2 ..., B1, and B-2 ... the formed pitch P2 is narrowed. Are making the formation position of p type TFT201 which constitutes the inverter 2 correspond to the thin film transistor formation areas 300a and 300c in which p type TFT301a and 302a were formed, and. The formation position of n type TFT202 is made to correspond to the thin film transistor formation areas 300b and 300d in which n type TFT401a and 402a were formed, and a different field is made to maldistribution-ize the thin film transistor formation areas in which TFT of a different conductivity type was formed.

[0027]In the source line drive circuit 40 of the active matrix panel of this example, Although the ion implantation of the p type impurity is carried out and p type TFT301a of the clocked inverter 4a and 302a are formed to the silicon layer 103 formed on the surface of the insulating transparent substrate 11 in the sectional view in the V-V line of drawing 6 as shown in drawing 7, The sauce 101a of n type TFT301a and the drain 102a of n type TFT302a are shared before long in the silicon field 103a in which the common high-concentration impurity was introduced, and the formation interval over the side direction of the substrate is narrowed further. Also in other TFT(s), the structure where the sauce and the drain of TFT share the same field is adopted. In drawing 7, 104a and 105a are the gate electrodes which comprised polycrystalline silicon of n type TFT301a and 302a, and before long, the gate electrode 104a extends from there, and constitutes the clock signal input line 49b. On the other hand, 106a and 107a are aluminum wiring layers, and constitute the source drain wiring layer which supplies drain potential and source potential to n type TFT401a and 402a. The arrangement structure of each TFT and wiring layer in the buffer circuit 47 and the analog switch part 45 is shown in drawing 8. setting to the shift register 41 side, as shown in this figure -- the unit shift registers A1 and A2 ..., B1, and B-2 ... corresponding to narrowing of the formed pitch P2 having been carried out, Narrowing also of the pitch of the bit-signals output line 46 from there is carried out, and narrowing also of the pitch P1 of the unit cell of the source line drive circuit 40 is carried out.

[0028]In [ above passage ] the source line drive circuit 40 of the active matrix panel of this example, the unit shift registers A1 and A2 ..., B1, and B-2, since ... is divided and formed in the two shift register formation areas 42a and 42b arranged from the periphery veranda (the direction of the arrow X) of a

substrate before the formation area side (the direction of the arrow Y) of a picture element matrix. The pitch P1 of the unit cell of the source line drive circuit 40 is small. the unit shift registers A1 with formation density of a circuit element high among the source line drive circuits 40 and A2 ..., B1, and B-2 ... in the formation area of the clocked shift registers 3a, 3b, 4a, and 4b, The formation area of p typeTFT301a which constitutes it, 302a, 301b and 302b and n typeTFT401a, and 402a, 401b and 402b, It arranges from the periphery veranda (the direction of the arrow X) of a substrate to four rows toward the formation area side (the direction of the arrow Y) of a picture element matrix, And while making one end approach mutually on the other hand, in order [ of the thin film transistor formation area in which the thin film transistor of a different conductivity type was formed ] to locate those another side one end in a counter direction mutually, while making a different field maldistribution—ize the thin film transistor formation areas in which TFT of a different conductivity type was formed — the unit shift registers A1 and A2 ..., B1, and B-2 ... the linear dimension of the side direction (the direction of the arrow Z) of a substrate is shortened even to conventional two thirds. the unit shift registers A1 and A2 ..., B1, and B-2 ... narrowing of the formed pitch P2 is carried out, and narrowing of the pitch of the unit cell of the source line drive circuit 40 is carried out. [ for this reason, ] For this reason, minuteness making of the pixel of the picture element matrix specified in the pitch P1 of the unit cell of the source line drive circuit 40 can be carried out, and the grace of a display can be improved.

[0029]To the shift register 41, the clock signal CKA (CLA, CLA\*), The inside of the clock signal lines 43 and 44 of A series which supplies CKB (CLB, CLB\*), and B series, Since parallel arrangement of the clock signal line 43 of A series is carried out to the position which adjoins to the 1st shift register formation area 42a and parallel arrangement of the clock signal line 44 of B series is carried out to the position which adjoins to the 2nd shift register formation area 42b, The wiring length of the clock signal input lines 49a and 49b from each clock signal lines 43 and 44 to the shift register 41 is designed by the approximately the same size method and the shortest size. For this reason, since the problem that it originates in the difference of wiring resistance or the difference of parasitic capacitance, and the synchronization of the clock signal CKACKB shifts does not occur, the shift register 41 does not malfunction but the reliability of an active matrix panel is high. The clock signal line 43 of A series is formed in the periphery veranda of a substrate to the 1st shift register formation area 42a, Since the clock signal line 44 of B series is formed in the formation area side (the direction of the arrow Y) of a picture element matrix to the 2nd shift register formation area 42b, since the clock signal input lines 49a and 49b have not passed through the 1st and 2nd shift register formation areas 42a and 42b — the unit shift registers A1, B1, A2, and B-2 ... can be formed in the state of approaching each other further.

[0030][Example 2] Drawing 9 is a block diagram by the side of the source line drive circuit of the active matrix panel (liquid crystal display panel) concerning Example 2 of this invention, and the arrangement relationship of the shift register and a clock signal line is shown in drawing 9. Here, since the entire configuration of the active matrix panel of this example is the same as that of the block diagram shown in drawing 13, explanation of an entire configuration is omitted. The composition of the shift register which constitutes a source line drive circuit, a buffer circuit, the buffer circuit among analog switch parts, and an analog switch part, Since it is the same as that of the active matrix panel of Example 1 and the circuit element which moreover constitutes a shift register, a buffer circuit, and an analog switch part is the same as that of the active matrix panel of Example 1, The active matrix panel of this example is explained only based on the block diagram of drawing 9.

[0031]In drawing 9, the source line drive circuit 50 of the active matrix panel of this example is systematized four times, and the source line drive circuit 50, It is formed on the same transparent substrate with a picture element matrix and a gate line driving circuit (neither is illustrated.), and the display action of each pixel of a picture element matrix is driven. The source line drive circuit 50 is formed in from the periphery edge of a substrate before the formation area of a picture element matrix. The shift register 51 is divided and formed in the 1st shift register formation area 52a of the periphery veranda (the direction of the arrow X) of a substrate, and the 2nd shift register formation area 52b by the side of the formation area of a picture element matrix (the direction of the arrow Y).

In the 1st shift register formation area 52a, among these 1st and 2nd shift register formation areas 52a and 52b. the unit shift registers A1 and A2 — the shift register 51a of A series which consists of ... and the unit shift registers C1, and C2, while the shift register 51c (the 1st shift register) of C series which consists of ... is formed by turns, the 2nd shift register formation area 52b — the unit shift registers B1 and B-2 — the shift register 51b of B series which consists of ... and the unit shift registers D1, and D2 — the shift register 51d (the 2nd shift register) of D series which consists of ... is formed by turns.

[0032]Here the clock signal line 53 of A series and the clock signal line 54 (the 1st clock signal line) of C

series which supply the clock signal CKACKC to the shift register 51a of A series, and the shift register 51c of C series, Parallel arrangement is carried out to the position which adjoins to the 1st shift register formation area 51a, The clock signal line 55 of B series and the clock signal line 56 (the 2nd clock signal line) of D series which supply clock signal CKB and CKD to the shift register 51b of B series, and the shift register 51d of D series, Parallel arrangement is carried out to the position which adjoins to the 2nd shift register formation area 51b. It receives that the clock signal line 53 of A series and the clock signal line 54 of C series are formed in the periphery veranda (the direction of the arrow X) of a substrate to the 1st shift register formation area 52a, The clock signal line 55 of B series and the clock signal line 56 of D series are formed in the formation area side (the direction of the arrow Y) of a picture element matrix to the 2nd shift register formation area 52b. For this reason, the wiring length of the clock signal input line 59a from the clock signal line 53 (the 1st clock signal line) of A series to the shift register 51a of A series, It is easy to design the wiring length of the clock signal input line 59b from the clock signal line 55 (the 2nd clock signal line) of B series to the shift register 51b of B series in a approximately the same size method and the shortest size. Similarly The wiring length of the clock signal input line 59c from the clock signal line 54 (the 1st clock signal line) of C series to the shift register 51c of C series, The wiring length of the clock signal input line 59d from the clock signal line 56 (the 2nd clock signal line) of D series to the shift register 51d of D series is also designed by the approximately the same size method and the shortest size. The clock signal line 53 of A series and the clock signal line 54 of C series approach each other, and arrange them in parallel, and. Since the clock signal line 55 of B series and the clock signal line 56 of D series approach each other and are arranged in parallel, which clock signal input lines [ 59a, 59b, 59c, and 59d ] wiring length is also a approximately the same size method.

[0033]To the 2nd shift register formation area 52b, to the formation area side (the direction of the arrow Y) of a picture element matrix. The bit signal line 66 for turning bit signals to the analog switch part 65 side of a sample hold section, and sending them out from each unit shift registers of the shift register 51, is formed, The buffer circuit 67 which also exhibits the function which eases the influence of the noise from the clock signal line 55 of near B series with which bit signals are delayed in a position and the bit-signals output line 66 intersects it on the way [ the ], and the clock signal line 56 of D series, It is constituted by two inverters etc. like Example 1.

[0034]Also in this example, any clock signal lines 53, 54, 55, and 56, comprising two clock signal lines which supply the clock signal of an opposite phase mutually -- the odd-numbered [ among the shift registers 51a-51d of an A-D series ] unit shift registers A1, C1, B1, and D1 -- with ... the even-numbered unit shift registers A2, C2, B-2, and D2 -- with ..., it drives with the clock signal of an opposite phase mutually. .The phase of the clock signal CKA from the clock signal line 53 of A series, the phase of the clock signal CKB from the clock signal line 55 of B series, the phase of the clock signal CKC from the clock signal line 54 of C series, and the phase of clock signal CKD from the clock signal line 56 of D series, The drive which it shifts 45 degrees at a time, and is systematized four times mutually is attained. For this reason, the working speed of the source line drive circuit 50 can be raised, without high-frequency-izing operation of the thin film transistor which constitutes the shift register 51.

[0035]Also in the source line drive circuit 50 of the active matrix panel of this example, The unit shift registers A1 per [ which is shown in drawing 5 (b) ] bit, for example, unit shift registers, like Example 1. Have the one inverter 2 and the two clocked inverters 3a and 4a, and before long the clocked inverter 3a, It is formed in the thin film transistor formation areas 300a, 300b, 300c, and 300d of four rows arranged toward the formation area side (the direction of the arrow Y) of a picture element matrix from the periphery veranda (the direction of the arrow X) of the substrate as shown in drawing 5 (a). Here, P typeTFT301a, 300 d of thin film transistor formation areas in which near n typeTFT401a of the thin film transistor formation area 300b in which the thin film transistor formation area 300a in which 302a was formed, its n typeTFT401a, and 402a were formed, and the clocked inverter 4a, and 402a were formed, The inside of the thin film transistor formation areas 300a-300d arranged in order of the thin film transistor formation area 300c in which the p typeTFT301a and 302a were formed, The thin film transistor formation area 300a in which TFT of a different conductivity type was formed, and the thin film transistor formation area 300b are separated in the position which approached toward the side direction of a substrate, Similarly, it has dissociated in the position which 300 d of thin film transistor formation areas and the thin film transistor formation area 300c also approached toward the side direction of a substrate. other unit shift registers A2 and A3 ..., B1, and B-2 ... also has same structure.

[0036]For this reason, also in the active matrix panel of this example like Example 1, The interval over the side direction of the substrate of the thin film transistor formation area 300a and the thin film transistor formation area 300b and the interval over the side direction (the direction of the arrow Z) of the substrate

of 300 d of thin film transistor formation areas and the thin film transistor formation area 300c are narrowed, the unit shift registers A1 and A2 ..., B1, and B-2 ... narrowing of the formed pitch P2 has been carried out. The shift register 71 to the 1st shift register formation area 52a of the periphery veranda of a substrate, and the 2nd shift register formation area 52b by the side of the formation area of a picture element matrix. Since it is divided and formed in the parallel state as the shift registers 51b and 51c of the shift registers 51a and 51c of A series and C series, B series, and D series, the making narrow pitch of the pitch P1 of the unit cell of the source line drive circuit 50 is carried out. Therefore, narrowing of the picture element pitch of a picture element matrix can be carried out, and the grace of a display can be improved. Here the clock signal lines 53-56 of A series - D series, Since parallel arrangement is carried out to the position which adjoins to a shift register formation area corresponding, respectively, clock signal input lines [ from each clock signal lines 53-56 to the shift register 41 / 59a-59d ] wiring length can design in the size and the shortest size between each series. For this reason, a gap of the synchronization of the clock signal CKA resulting from the difference of wiring resistance or the difference of parasitic capacitance, CKB, CKC, and CKD does not occur. So, malfunction does not arise in the shift register 51, but the reliability of an active matrix panel is high. And since four series of shift registers 41 are driven, the working speed of the source line drive circuit 50 is further accelerable.

[0037][Example 3] The block diagram and drawing 12 of the lineblock diagram and drawing 11 in which arrangement of the thin film transistor by the side of the source line drive circuit of the active matrix panel (liquid crystal display panel) which drawing 10 requires for Example 3 of this invention, and a wiring layer is shown are the circuit diagram. Since the entire configuration of the active matrix panel of this example is the same as that of the block diagram shown in drawing 13, explanation of an entire configuration is omitted. The composition of the shift register which constitutes a source line drive circuit, a buffer circuit, the buffer circuit among analog switch parts, and an analog switch part, Since it is the same as that of the active matrix panel of Example 1 and the circuit element which moreover constitutes a shift register, a buffer circuit, and an analog switch part is the same as that of the active matrix panel of Example 1, only the structure by the side of a shift register has been shown in drawing 10.

[0038]In these figures, the source line drive circuit 70 of this example is a drive system of one series, and the source line drive circuit 70 is formed on the same transparent substrate with a picture element matrix and a gate line driving circuit (neither is illustrated.), and it drives the display action of each pixel of a picture element matrix. The source line drive circuit 70 is formed in from the periphery edge of a substrate before the formation area of a picture element matrix.

The shift register 71 is divided and formed in the 1st shift register formation area 72a of the periphery veranda of a substrate, and the 2nd shift register formation area 72b by the side of the formation area of a picture element matrix in this example.

Namely, in the 1st shift register formation area 72a, among the 1st and 2nd shift register formation areas 72a and 72b, the unit shift registers A1 driven with the clock signal CKA, A4, and A5, while the 1st shift register 71a that consists of ... is formed, the unit shift registers A2 driven with the same clock signal CKA in the 2nd shift register formation area 72b, A3, and A6 -- the 2nd shift register 71b that consists of ... is formed.

[0039]While parallel arrangement is carried out to the position in which the 1st clock signal line 73 that supplies the clock signal CKA adjoins the 1st shift register 51a to the 1st shift register formation area 71a here, Parallel arrangement of the 2nd clock signal line 74 that supplies the clock signal CKA to the 2nd shift register 71b is carried out to the position which adjoins to the 2nd shift register formation area 71b. The 1st clock signal line 73 is formed in the periphery veranda (the direction of the arrow X) of a substrate to the 1st shift register formation area 72a, and the 2nd clock signal line 74 is formed in the formation area side (the direction of the arrow Y) of a picture element matrix to the 2nd shift register formation area 72b. The wiring length of the clock signal input line 79a from the 1st clock signal line 73 to the 1st shift register 71a, With the wiring length of the clock signal input line 79b from the 2nd clock signal line 74 to the 2nd shift register 71b, it is mutually designed by the size and the shortest size. To the 2nd shift register formation area 72b, to the formation area side (the direction of the arrow Y) of a picture element matrix. The bit signal line 76 for turning the bit signals from the shift register 71 to the analog switch part 75 side (picture-element-matrix side), and sending them out is formed, and on the way [ the ] in a position. Bit signals are delayed and the buffer circuit 77 which also exhibits the function which eases the influence of the noise from the 2nd clock signal line 74 with which the bit-signals output line 76 crosses is constituted by two inverters etc. like Example 1. Also in this example, the 1st and 2nd shift registers 71a and 71b are constituted from the same circuit element as Example 1 by each.

On the other hand, any clock signal lines 73 and 74 comprise the two clock signal lines 731,732,741,742

which supply clock signal CLA of an opposite phase, and CLA\* mutually. The drive has become possible by clock signal CLA of an opposite phase, and CLA\* mutually about the 1st shift register 71a and 2nd shift register 71a.

here -- the 1st and 2nd clock signal lines 73 and 74, although \*\* can also be someday constituted from one clock signal line, By constituting mutually the 1st and 2nd clock signal lines 73 and 74 from two clock signal lines corresponding to clock signal CLA of an opposite phase, and CLA\*, The clock signal of one side is prevented from making equivalent parasitic capacitance between the clock signal lines 73 and 74, etc., and being delayed as compared with the clock signal of the other side.

[0040]Also in the source line drive circuit 50 of this example, as shown in drawing 5 (a) and drawing 5 (b), The clocked inverter 3a of the unit shift registers A1 per bit, for example, unit shift registers, It has formed in the thin film transistor formation areas 300a, 300b, 300c, and 300d of four rows arranged toward the formation area side (the direction of the arrow Y) of a picture element matrix from the periphery veranda (the direction of the arrow X) of the substrate. These thin film transistor formation areas 300a-300d, Near n typeTFT401a of the thin film transistor formation area 300b in which the thin film transistor formation area 300a in which near p typeTFT301a of the clocked inverter 3a and 302a were formed, its n typeTFT401a, and 402a were formed, and the clocked inverter 4a, It is arranged in order of the thin film transistor formation area 300c in which 300 d of thin film transistor formation area in which 402a was formed, its p typeTFT301a, and 302a were formed, The one end sides of the thin film transistor formation area in which the thin film transistor of a different conductivity type was formed before long are mutually close.

On the other hand, those another side one end is mutually located in a counter direction.

Namely, the thin film transistor formation area 300a in which TFT of a different conductivity type was formed, and the thin film transistor formation area 300b are separated in the position which approached toward the side direction of a substrate, Similarly, it has dissociated in the position which 300 d of thin film transistor formation areas and the thin film transistor formation area 300c also approached toward the side direction of a substrate. other unit shift registers A2 and A3 ... also has same structure.

[0041]For this reason, in the active matrix panel of this example, The interval over the side direction of the substrate of the thin film transistor formation area 300a and the thin film transistor formation area 300b and the interval over the side direction of the substrate of 300 d of thin film transistor formation areas and the thin film transistor formation area 300c are narrowed like Example 1, The unit shift registers A1, A2 ... The formed pitch P2 is narrowed and narrowing of the pitch P1 of the unit cell of the source line drive circuit 70 has been carried out. Since the shift register 71 is divided into a parallel state and formed in the 1st shift register formation area 72a of the periphery veranda of a substrate, and the 2nd shift register formation area 72b by the side of the formation area of a picture element matrix, The making narrow pitch of the pitch P1 of the unit cell of the source line drive circuit 70 is carried out further. Therefore, narrowing of the picture element pitch of a picture element matrix can be carried out, and the grace of a display can be improved. Parallel arrangement of the 1st clock signal line 73 is carried out to the position which adjoins to the 1st shift register formation area 72a here, the [ 2nd / clock signal line 74 ], since parallel arrangement is carried out to the position which adjoins to the shift register formation area 72b of two, The wiring length of the clock signal input lines 79a and 79b from each clock signal lines 73 and 74 to the shift register 41 is designed by the size and the shortest size between each series. For this reason, a synchronous gap of the clock signal CKA resulting from the difference of wiring resistance or the difference of parasitic capacitance does not occur. So, since malfunction does not arise in the shift register 71, the reliability of an active matrix panel is high.

[0042]About the arrangement structure of a thin film transistor provided with the above-mentioned composition, it is employable also as the gate line driving circuit side.

[0043]

[Effect of the Invention]In the active matrix panel applied to this invention as above, In the formation area of the shift register of a source line drive circuit or a gate line driving circuit, The thin film transistor of the 1st conductivity type and the 2nd conductivity type which constitutes the clocked inverter circuit, It forms in the thin film transistor formation area of four rows arranged toward the formation area side of a picture element matrix from the periphery veranda of a substrate, Since it has the feature in the thing of the thin film transistor formation areas in which the thin film transistor of a different conductivity type among these thin film transistor formation areas was formed for which those another side one end of each other is turned to the counter direction while making one end approach mutually on the other hand, the following effects are done so.

[0044]\*\* Since the formation areas of the thin film transistor from which a conductivity type differs are

separated from the periphery veranda of the substrate also in the direction of the formation area side of a picture element matrix, the formation areas of the thin film transistor from which a conductivity type differs can be made unevenly distributed in a mutually different field with the state where it approached each other. So, there is no trouble in the ion implantation process of a thin film transistor, etc., since the formed pitch of a shift register with high formation density of a circuit element can moreover be narrowed, narrowing of the pitch of the unit cell of a drive circuit is carried out, and the minuteness making of the picture element matrix can be carried out.

[0045]\*\* Since the shift register is divided and formed in the 1st and 2nd shift register formation areas by which parallel arrangement was carried out from the periphery edge of a substrate before the formation area of a picture element matrix, narrowing of the pitch of the unit cell of a drive circuit is carried out. Therefore, narrowing of the picture element pitch of a picture element matrix can be carried out, and the grace of a display can be improved.

[0046]\*\* The 1st clock signal line adjoins the 1st shift register formation area, parallel arrangement is carried out, and since the 2nd clock signal line adjoins the 2nd shift register formation area and parallel arrangement is carried out, it can design equally the wiring length from each clock signal line to a shift register in the shortest size. For this reason, since it is hard to generate a gap of the synchronization of the clock signal resulting from the difference of wiring resistance or the difference in parasitic capacitance, a shift register does not malfunction but the reliability of an active matrix panel is high. The 1st clock signal line is formed in the periphery veranda of a substrate to the 1st shift register formation area here. Since a clock signal line does not pass along a shift register formation area when the 2nd clock signal line is formed in the formation area side of a picture element matrix to the 2nd shift register formation area, the narrowing of the formed pitch of unit shift registers can be carried out further.

[0047]\*\* When the 1st and 2nd shift registers are systematized to plurality, operation of the circuit element which constitutes it cannot be high-speed-ized, but \*\* can also raise a drive circuit's own working speed.

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**DESCRIPTION OF DRAWINGS**

[Brief Description of the Drawings]

[Drawing 1] It is a lineblock diagram showing arrangement of each component part of the source line drive circuit of two series in the active matrix panel concerning Example 1 of this invention.

[Drawing 2] It is a block diagram of the source line drive circuit shown in drawing 1.

[Drawing 3] It is a circuit diagram of the source line drive circuit shown in drawing 1.

[Drawing 4] It is a timing chart figure of the signal outputted and inputted by each part of the source line drive circuit shown in drawing 1.

[Drawing 5] The lineblock diagram showing arrangement of each component part in the unit shift registers of the shift registers of the source line drive circuit which shows drawing 1 (a), and (b) are the circuit diagram.

[Drawing 6] It is a top view showing arrangement of each component part in the shift register of the source line drive circuit shown in drawing 1.

[Drawing 7] It is a sectional view in the V-V line of drawing 6.

[Drawing 8] It is a top view showing arrangement of each component part in the ANAROKU switch part of the source line drive circuit shown in drawing 1.

[Drawing 9] It is a block diagram of the source line drive circuit of four series in the active matrix panel

concerning Example 2 of this invention.

[Drawing 10] It is a lineblock diagram showing arrangement of each component part of the source line drive circuit of one series in the active matrix panel concerning Example 3 of this invention.

[Drawing 11] It is a block diagram of the source line drive circuit shown in drawing 10.

[Drawing 12] It is a circuit diagram of the source line drive circuit shown in drawing 10.

[Drawing 13] It is a block diagram showing the entire configuration of an active matrix panel.

[Drawing 14] As for the circuit diagram of a shift register, and (b), the lineblock diagram of the inverter, (c), and (d) of (a) are the lineblock diagrams of the clocked inverter.

[Drawing 15] It is a lineblock diagram showing arrangement of each component part of the source line drive circuit of one series in the conventional active matrix panel.

[Drawing 16] It is a lineblock diagram showing arrangement of each component part of the source line drive circuit of two series in the conventional active matrix panel.

[Description of Notations]

11 ... Transparent substrate

12, 40, 50, 70, 80, 90 ... Source line drive circuit

13, 20, 41, 51, 71, 81, 91 ... Shift register

17, 18, 19 ... Sample hold circuit

21 ... Gate line driving circuit

22 ... Picture element matrix

24, 25 ... Gate line

26, 27, 28 ... Source line

29 ... Thin film transistor

30 ... Liquid crystal cell

34, 37, 83, 84, 93, 94 ... Clock signal line

The shift register of 41a and 51 a...A series (the 1st shift register)

The shift register of 41b and 51 b...B series (the 2nd shift register)

42a, 52a, and 72a ... the -- the shift register formation area of two

42b, 52b, and 72b ... the -- the shift register formation area of two

43, 53 ... Clock signal line of A series (the 1st clock signal line)

44, 55 ... Clock signal line of B series (the 2nd clock signal line)

45, 65, 75, 85 ... Analog switch part

46, 66, 66a, 66b, 76, 86 ... Bit-signals output line

47, 67, 77 ... Buffer circuit

49a, 49b, 59a-59d and 79a, 79b, 89a, 89b ... Clock signal input line

The shift register of 51 c...C series (the 1st shift register)

51d ... Shift register of D series (the 2nd shift register)

54 ... Clock signal line of C series (the 1st clock signal line)

56 ... Clock signal line of D series (the 2nd clock signal line)

73 ... The 1st clock signal line

74 ... The 1st clock signal line

300a, 300b, 300c, 300d ... Thin film transistor formation area

---

[Translation done.]

\* NOTICES \*

JPO and INPI are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

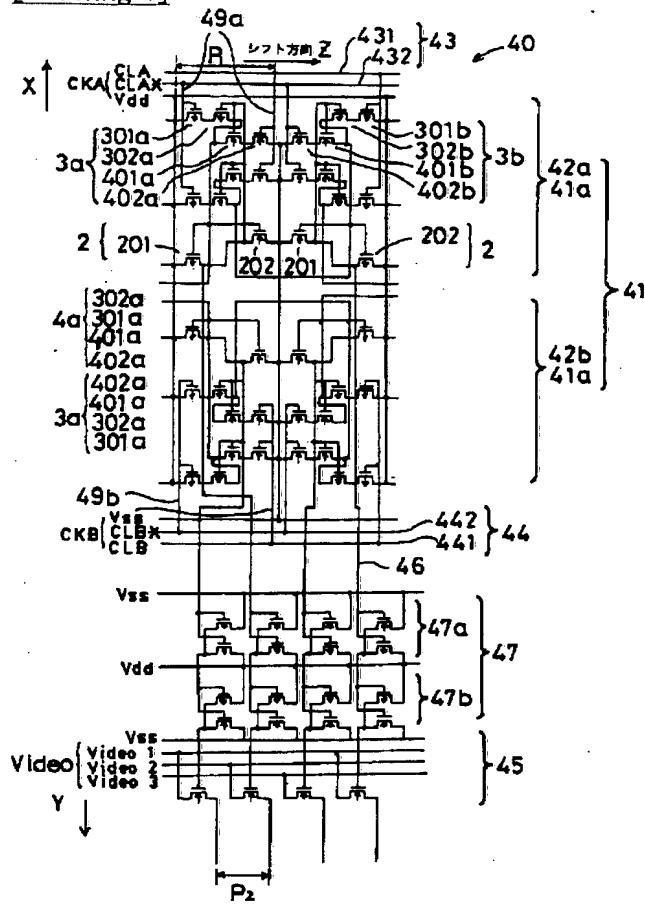
2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

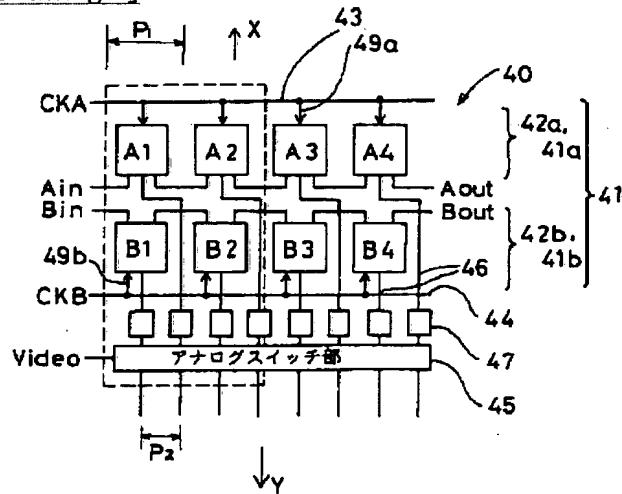
---

DRAWINGS

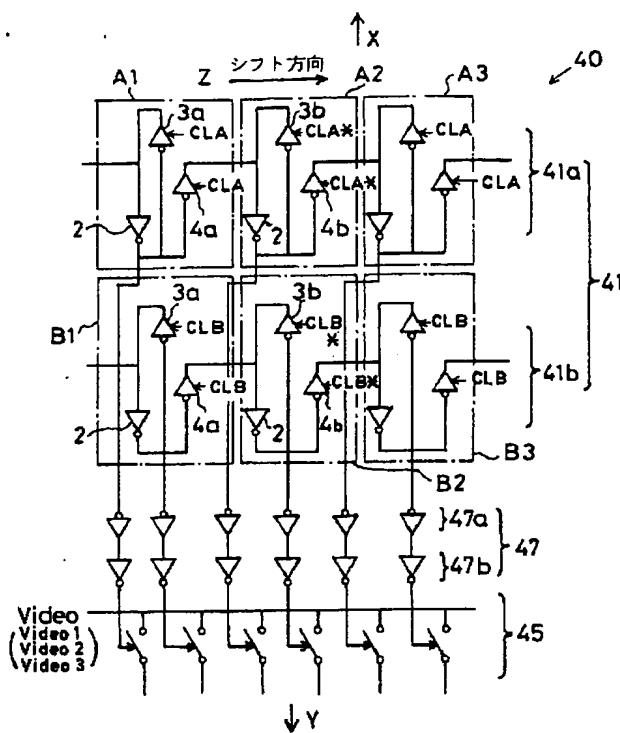
### [Drawing 1]



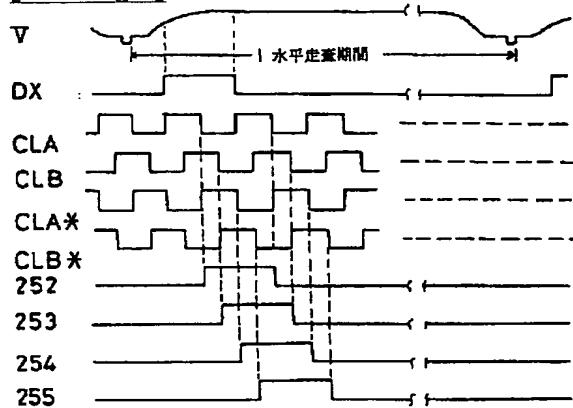
[Drawing 2]



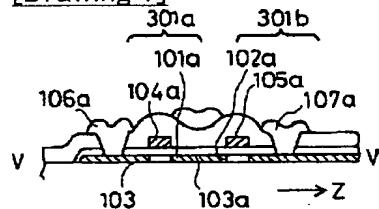
### [Drawing 3]



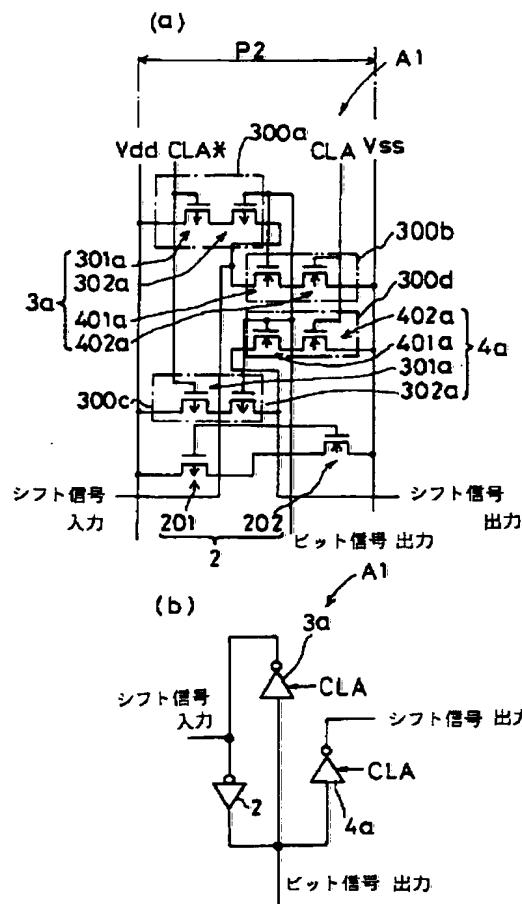
[Drawing 4]



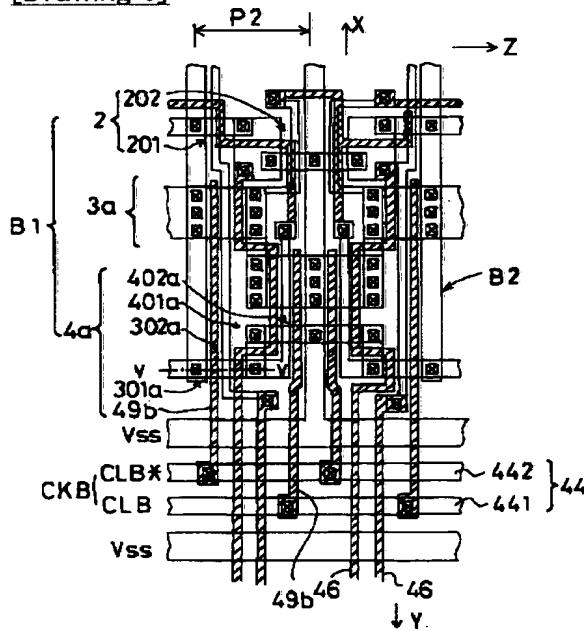
### [Drawing 7]



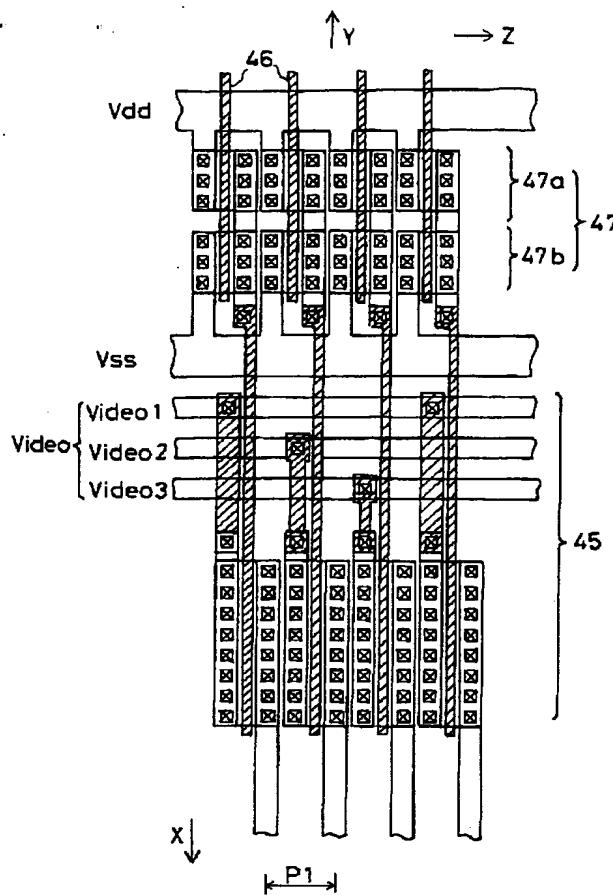
**[Drawing 5]**



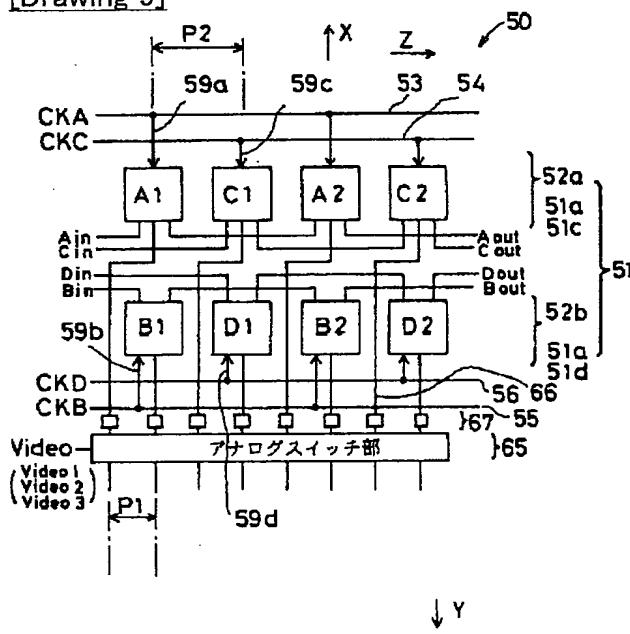
### [Drawing 6]



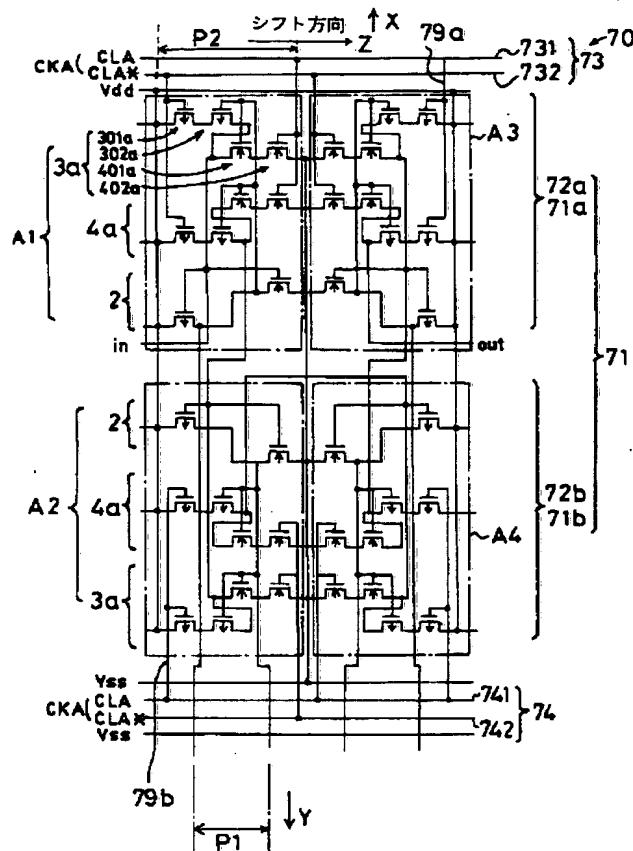
[Drawing 8]



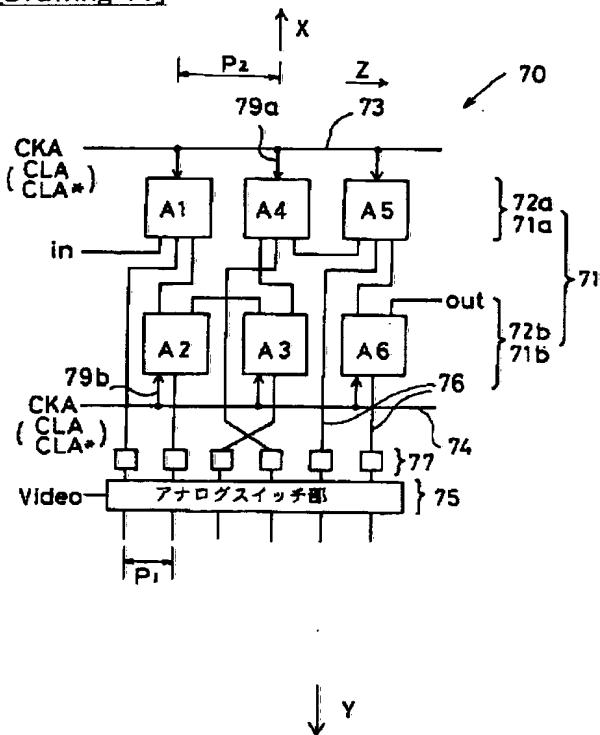
[Drawing 9]



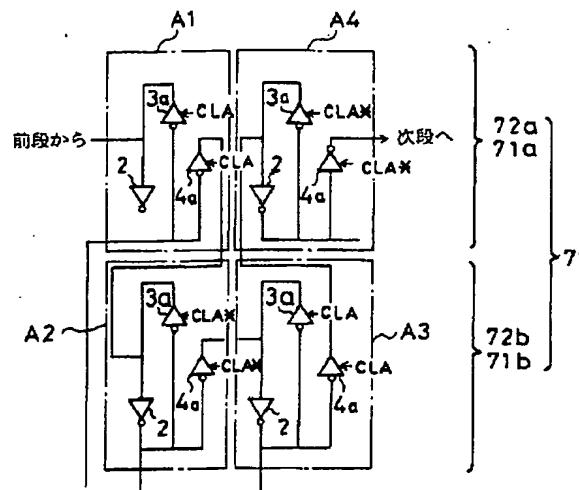
[Drawing 10]



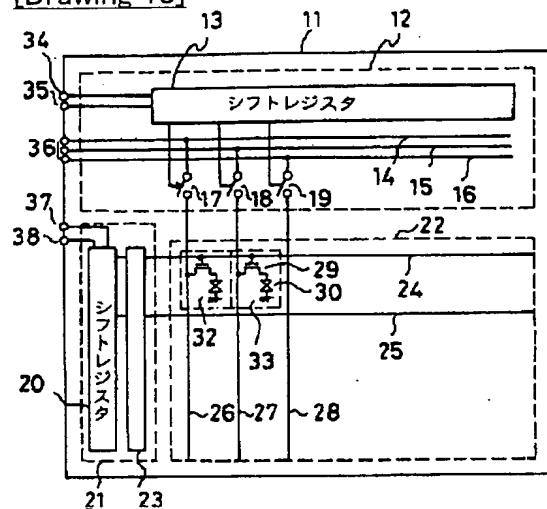
[Drawing 11]



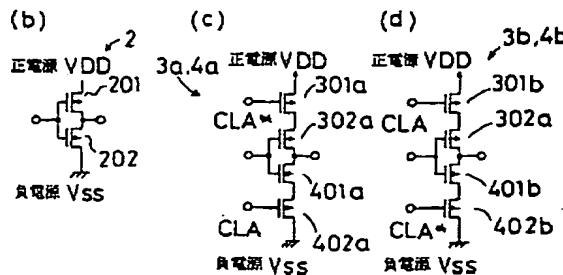
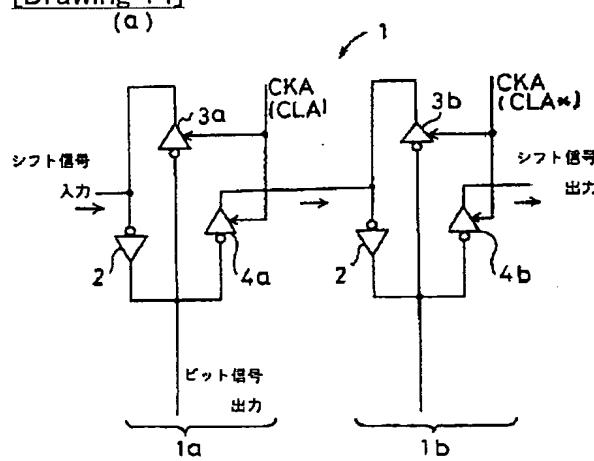
[Drawing 12]



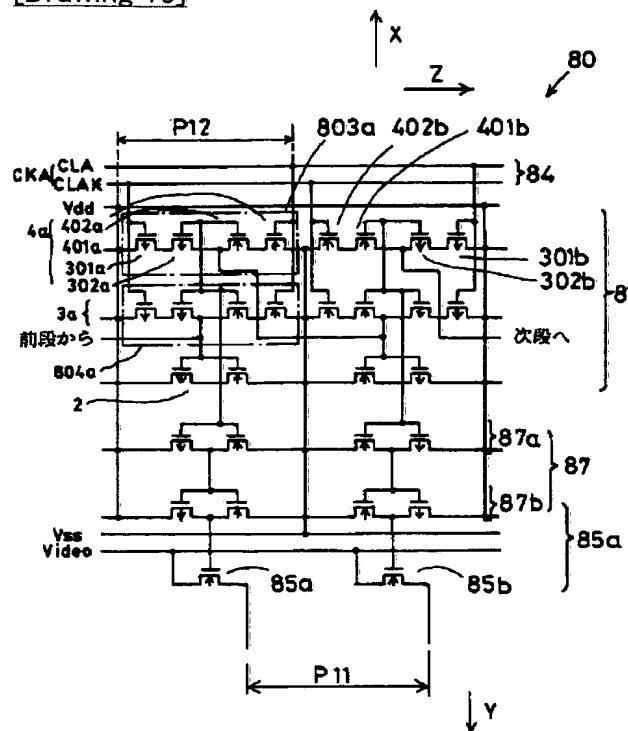
[Drawing 13]



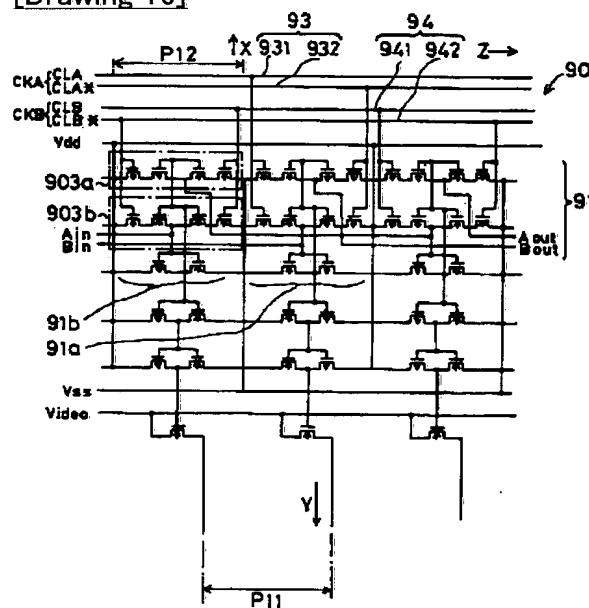
[Drawing 14]



### [Drawing 15]



[Drawing 16]



[Translation done.]

[JP, 05-303080, A]  
Amendment April 27, Heisei 13 (2001)

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**CORRECTION OR AMENDMENT**

[Kind of official gazette] Printing of amendment by the regulation of 2 of Article 17 of Patent Law  
[Section classification] The 2nd classification of the part VI gate  
[Publication date] April 27 (2001.4.27), Heisei 13

[Publication No.] JP, 5-303080, A  
[Date of Publication] November 16 (1993.11.16), Heisei 5  
[Annual volume number] Publication of patent applications 5-3031  
[Application number] Japanese Patent Application No. 4-106827  
[The 7th edition of International Patent Classification]

G02F 1/133 550

G09F 9/30 338

G09G 3/36

[FI]

G02F 1/133 550

G09F 9/30 338

G09G 3/36

[Written amendment]

[Filing date] April 26, Heisei 11 (1999.4.26)

[Amendment 1]

[Document to be Amended] Specification

[Item(s) to be Amended] The name of an invention

[Method of Amendment] Change

[Proposed Amendment]

[Title of the Invention] A drive circuit of an active matrix panel, and an active matrix panel

[Amendment 2]

[Document to be Amended] Specification

[Item(s) to be Amended] Claim

[Method of Amendment] Change

[Proposed Amendment]

[Claim(s)]

[Claim 1] In a drive circuit which has a shift register and drives each pixel of an active matrix panel, Said shift register comprises a thin film transistor of two or more 1st conductivity types and the 2nd conductivity type for every unit shift registers, and it has two clocked inverter circuits driven based on a clock signal inputted from a clock signal line,

A thin film transistor of said 1st conductivity type and the 2nd conductivity type is formed in a thin film transistor formation area arranged by plural lines in a formation area of said clock signal line, and forms a thin film transistor of the same conductivity type in a thin film transistor formation area of each sequence concerned.

A drive circuit of an active matrix panel in which the thin film transistor formation areas in which a thin film transistor of a different conductivity type among thin film transistor formation areas of said plural lines was formed are characterized by a thing of the field for which one end approaches mutually on the other hand, and another side one end is mutually located in a counter direction.

[Claim 2] A drive circuit of the active matrix panel according to claim 1 characterized by coming to

separate into two or more shift register formation areas, and a formation area of said shift register dividing said shift register into a shift register formation area of this plurality, and coming to arrange it.

[Claim 3]A drive circuit of the active matrix panel according to claim 1 or 2, wherein said drive circuit consists of a source line drive circuit.

[Claim 4]A drive circuit of the active matrix panel according to claim 1 or 2, wherein said drive circuit consists of gate line driving circuits.

[Claim 5]In an active matrix panel which has a source line drive circuit or a gate line driving circuit which drives each pixel according to a signal output from a shift register.

Said shift register comprises a thin film transistor of two or more 1st conductivity types and the 2nd conductivity type for every unit shift registers, and it has two clocked inverter circuits driven based on a clock signal inputted from a clock signal line.

A thin film transistor of said 1st conductivity type and the 2nd conductivity type is formed in a thin film transistor formation area arranged by plural lines in a formation area of said clock signal line, and forms a thin film transistor of the same conductivity type in a thin film transistor formation area of each sequence concerned.

An active matrix panel in which the thin film transistor formation areas in which a thin film transistor of a different conductivity type among thin film transistor formation areas of said plural lines was formed are characterized by a thing of the field for which one end approaches mutually on the other hand, and another side one end is mutually located in a counter direction.

[Claim 6]The active matrix panel according to claim 5 characterized by coming to separate into two or more shift register formation areas, and a formation area of said shift register dividing said shift register into a shift register formation area of this plurality, and coming to arrange it.

[The amendment 3]

[Document to be Amended]Specification

[Item(s) to be Amended]0009

[Method of Amendment]Change

[Proposed Amendment]

[0009]

[Means for Solving the Problem]In order to solve an aforementioned problem, in a drive circuit which has a shift register and drives each pixel of an active matrix panel, this invention the above-mentioned shift register, Comprise a thin film transistor of two or more 1st conductivity types and the 2nd conductivity type for every unit shift registers, and Have two clocked inverter circuits driven based on a clock signal inputted from a clock signal line, and a thin film transistor of the 1st conductivity type of the above, and the 2nd conductivity type. It is formed in a thin film transistor formation area arranged by plural lines in a formation area of the above-mentioned clock signal line. A thin film transistor of the same conductivity type is formed in a thin film transistor formation area of each sequence concerned. The thin film transistor formation areas for which a thin film transistor of a different conductivity type among thin film transistor formation areas of the above-mentioned plural lines was formed are characterized by a thing of the field for which one end approaches mutually on the other hand, and another side one end is mutually located in a counter direction.

[Amendment 4]

[Document to be Amended]Specification

[Item(s) to be Amended]0010

[Method of Amendment]Change

[Proposed Amendment]

[0010]It comes to separate into two or more shift register formation areas, and the above-mentioned shift register is divided into the shift register formation area of this plurality, and it comes to arrange it.

[Amendment 5]

[Document to be Amended]Specification

[Item(s) to be Amended]0011

[Method of Amendment]Change

[Proposed Amendment]

[0011]In the above-mentioned composition, it can be considered as a source line drive circuit and/or a gate line driving circuit as a drive circuit.

[Amendment 6]

[Document to be Amended]Specification

[Item(s) to be Amended]0012

[Method of Amendment]Change

[Proposed Amendment]

[0012]In the drive circuit which drives each pixel of the active matrix panel in which this invention has the source line drive circuit or gate line driving circuit which drives each pixel according to the signal output from a shift register. The above-mentioned shift register comprises a thin film transistor of two or more 1st conductivity types and the 2nd conductivity type for every unit shift registers, and. Have two clocked inverter circuits driven based on the clock signal inputted from the clock signal line, and the thin film transistor of the 1st conductivity type of the above, and the 2nd conductivity type, It is formed in the thin film transistor formation area arranged by plural lines in the formation area of the above-mentioned clock signal line. The thin film transistor of the same conductivity type is formed in the thin film transistor formation area of each sequence concerned. The thin film transistor formation areas for which the thin film transistor of a different conductivity type among the thin film transistor formation areas of the above-mentioned plural lines was formed are characterized by the thing of the field for which one end approaches mutually on the other hand, and another side one end is mutually located in a counter direction.

[Amendment 7]

[Document to be Amended] Specification

[Item(s) to be Amended] 0013

[Method of Amendment] Change

[Proposed Amendment]

[0013] And it comes to separate into two or more shift register formation areas, and the formation area of the above-mentioned shift register divides the above-mentioned shift register into the shift register formation area of this plurality, and it comes to arrange it.

[Amendment 8]

[Document to be Amended] Specification

[Item(s) to be Amended] 0014

[Method of Amendment] Change

[Proposed Amendment]

[0014]

[Function] In the drive circuit of the active matrix panel concerning this invention which provided the above-mentioned means, the thin film transistor of the 1st conductivity type and the 2nd conductivity type, It is formed in the thin film transistor formation area arranged by plural lines in the formation area of a clock signal line. The thin film transistor of the same conductivity type is formed in the thin film transistor formation area of each sequence concerned. In the thin film transistor formation areas in which the thin film transistor of a different conductivity type among the thin film transistor formation areas of the above-mentioned plural lines was formed, the one end sides of the field approach mutually, and another side one end is mutually located in a counter direction. Therefore, the formation areas of the thin film transistor from which a conductivity type differs are unevenly distributed in a mutually different field with the state where it approached each other. So, there is no trouble which is in charge of forming a thin film transistor, and, moreover, the narrowing of the formed pitch of a shift register with high formation density of a circuit element can be carried out. As a result, narrowing of the pitch of the unit cell of a drive circuit is carried out, and the minuteness making of the picture element matrix can be carried out.

[Amendment 9]

[Document to be Amended] Specification

[Item(s) to be Amended] 0015

[Method of Amendment] Change

[Proposed Amendment]

[0015] Come to separate the formation area of a shift register into two or more shift register formation areas, and the above-mentioned shift register, In the composition which divides into the shift register formation area of this plurality, and it comes to arrange, since the making narrow pitch of the pitch of the unit cell of a drive circuit can be carried out substantially, the minuteness making of the picture element matrix can be carried out.

[Amendment 10]

[Document to be Amended] Specification

[Item(s) to be Amended] 0043

[Method of Amendment] Change

[Proposed Amendment]

[0043]

[Effect of the Invention] In the drive circuit of the active matrix panel applied to this invention as above, The thin film transistor of the 1st conductivity type and the 2nd conductivity type, It is formed in the thin film transistor formation area arranged by plural lines in the formation area of a clock signal line. The thin film transistor of the same conductivity type is formed in the thin film transistor formation area of each sequence concerned. On the other hand, one end approaches mutually, and since the thin film transistor formation areas in which the thin film transistor of a different conductivity type among the thin film transistor formation areas of the above-mentioned plural lines was formed are characterized by the thing of the field for which another side one end is mutually located in a counter direction, they do the following effects so.

[Amendment 11]

[Document to be Amended] Specification

[Item(s) to be Amended] 0044

[Method of Amendment] Change

[Proposed Amendment]

[0044]\*\* The formation areas of the thin film transistor from which a conductivity type differs can be made unevenly distributed in a mutually different field with the state where it approached each other. So, there is no trouble in the ion implantation process of a thin film transistor, etc., since the formed pitch of a shift register with high formation density of a circuit element can moreover be narrowed, narrowing of the pitch of the unit cell of a drive circuit is carried out, and the minuteness making of the picture element matrix can be carried out.

[Amendment 12]

[Document to be Amended] Specification

[Item(s) to be Amended] 0045

[Method of Amendment] Change

[Proposed Amendment]

[0045]\*\* It comes to separate the formation area of a shift register into two or more shift register formation areas, and narrowing of the pitch of the unit cell of a drive circuit is carried out in the composition which divides the above-mentioned shift register into the shift register formation area of this plurality, and it comes to arrange. Therefore, narrowing of the picture element pitch of a picture element matrix can be carried out, and the grace of a display can be improved.

[Amendment 13]

[Document to be Amended] Specification

[Item(s) to be Amended]0046  
[Method of Amendment]Deletion  
[Amendment 14]  
[Document to be Amended]Specification  
[Item(s) to be Amended]0047  
[Method of Amendment]Deletion

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-303080

(43)公開日 平成5年(1993)11月16日

(51)Int.Cl. <sup>5</sup>	識別記号	府内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0	7820-2K		
G 0 9 F 9/30	3 3 8	6447-5G		
G 0 9 G 3/36		7319-5G		

審査請求 未請求 請求項の数7(全15頁)

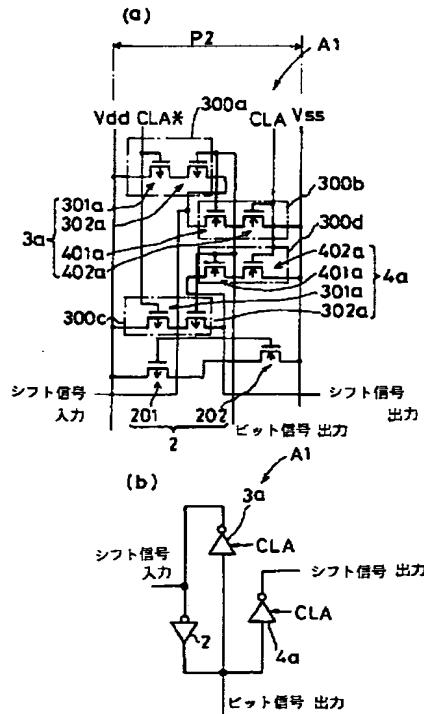
(21)出願番号	特願平4-106827	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成4年(1992)4月24日	(72)発明者	小澤徳郎 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74)代理人	弁理士 山田 稔

(54)【発明の名称】 アクティブマトリクスパネル

(57)【要約】

【目的】 シフトレジスタの薄膜トランジスタの配置を最適化して、駆動回路側の単位セルを狭ピッチ化可能なアクティブマトリクスパネルを実現すること。

【構成】 アクティブマトリクスパネルのソース線駆動回路40において、その単位シフトレジスタA1のクロックドインバータ3a, 4aを構成するTFTは、薄膜トランジスタ形成領域300a～300dに形成され、これらの薄膜トランジスタ形成領域は、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域の一方端側同士が互いに近接している一方、それらの他方端側は互いに反対方向に位置している。このため、薄膜トランジスタは導電型毎に偏在し、かつ、単位シフトレジスタの形成ピッチP2が狭小化されている。



## 【特許請求の範囲】

【請求項1】 同一基板上の画素マトリクスの形成領域と前記基板の外周縁との間に形成されて各画素の表示動作を駆動するソース線駆動回路およびゲート線駆動回路のうちの少なくとも一方側の駆動回路において、そのシフトレジスタは、その1ビットに相当する単位シフトレジスタ当たり、少なくとも、第1導電型および第2導電型の薄膜トランジスタで構成されてクロック信号線から入力されたクロック信号に基づいて駆動される2つのクロックドインバータ回路を有しており、前記第1導電型および第2導電型の薄膜トランジスタは、前記クロックドインバータ回路の形成領域において、同じクロックドインバータ回路の同じ導電型の薄膜トランジスタ毎に前記基板の外周縁側から前記画素マトリクスの形成領域側に向かって4列に配列された薄膜トランジスタ形成領域に形成され、これらの薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域の一方端側同士は互いに近接している一方、それらの他方端側は互いに反対方向に位置していることを特徴とするアクティブマトリクスパネル。

【請求項2】 請求項1において、前記シフトレジスタの形成領域は、前記基板の外周縁側の第1のシフトレジスタ形成領域と前記画素マトリクスの形成領域側の第2のシフトレジスタ形成領域とに分離されており、これらのシフトレジスタ形成領域に、前記シフトレジスタは第1および第2のシフトレジスタとして分割して形成されていることを特徴とするアクティブマトリクスパネル。

【請求項3】 請求項2において、前記シフトレジスタにクロック信号を供給するクロック信号線のうち、前記第1のシフトレジスタ形成領域に形成された第1のシフトレジスタにクロック信号を供給する第1のクロック信号線は、前記第1のシフトレジスタ形成領域に対して隣接する位置に並列配置され、前記第2のシフトレジスタ形成領域に形成された第2のシフトレジスタにクロック信号を供給する第2のクロック信号線は、前記第2のシフトレジスタ形成領域に対して隣接する位置に並列配置されていることを特徴とするアクティブマトリクスパネル。

【請求項4】 請求項3において、前記第1のクロック信号線と前記第2のクロック信号線とは、対応する各シフトレジスタ形成領域に対して略等距離を隔てた位置に配置されていることを特徴とするアクティブマトリクスパネル。

【請求項5】 請求項3または請求項4において、前記第1のクロック信号線は前記第1のシフトレジスタ形成領域に対して前記基板の外周縁側に形成され、前記第2のクロック信号線は前記第2のシフトレジスタ形成領域に対して前記画素マトリクスの形成領域側に形成されていることを特徴とするアクティブマトリクスパネル。

【請求項6】 請求項3ないし請求項5のいずれかの項において、前記第1クロック信号線と前記第2のクロック信号線からは位相がずれた系列毎のクロック信号が供給され、これらの系列毎のクロック信号に対応して、前記第1および第2のシフトレジスタも系列化されていることを特徴とするアクティブマトリクスパネル。

【請求項7】 請求項3ないし請求項6のいずれかの項において、前記第1および第2のクロック信号線のうちの少なくとも一方側のクロック信号線は、位相がずれた系列毎のクロック信号が供給される複数のクロック信号線から構成され、これらの系列毎のクロック信号に対応して、前記第1または第2のシフトレジスタの側も系列化されていることを特徴とするアクティブマトリクスパネル。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は液晶表示パネルなどのアクティブマトリクスパネルに関し、特に、その駆動回路側の構造技術に関する。

## 【0002】

【従来の技術】 液晶の配向状態などを利用して情報を表示するフラット型表示パネルのうち、アクティブマトリクス方式の液晶表示パネルにおいては、その全体構成を図13にブロック図で示すように、画素マトリクス22、ソース線駆動回路12およびゲート線駆動回路21が同一の透明基板11の上に形成されて、表示装置の小型化、高精細化および低コスト化が図られている。ここで、ソース線駆動回路12はシフトレジスタ13、サンプルホールド回路17、18、19およびビデオ信号線14、15、16を有する一方、ゲート線駆動回路21はシフトレジスタ20および必要に応じてバッファ回路23を有する。また、画素マトリクス22は、ソース線駆動回路12に接続された複数のソース線26、27、28・・・と、ゲート線駆動回路21に接続された複数のゲート線24、25・・・と、これらのゲート線およびソース線の交点に形成された複数の画素32、33・・・とを有し、各画素32、33・・・には薄膜トランジスタ(TFT)29と液晶セル30とを有する。さらに、ソース線駆動回路12の側には、そのシフトレジスタ13にクロック信号を入力すべきクロック信号線34が配置されている一方、ゲート線駆動回路21の側には、そのシフトレジスタ20にクロック信号を入力すべきクロック信号線37が配置されている。なお、35、36はソース線駆動回路12およびゲート線駆動回路21にスタート信号を入力するスタート信号線である。

【0003】 ここで、シフトレジスタ13、20は、1ビット当たり、図14(a)に示すように、クロック信号CKAのうちのクロック信号CLAで駆動される単位シフトレジスタ1a、またはクロック信号CLAと逆相のクロック信号CLAAで駆動される単位シフトレジ

タ1bで構成され、これらの単位シフトレジスタ1a, 1bがシフト方向に交互に配置されている。これらの単位シフトレジスタ1a, 1bのうち、単位シフトレジスタ1aは1つのインバータ2と2つのクロックドインバータ3a, 4aで構成され、単位シフトレジスタ1bは1つのインバータ2と2つのクロックドインバータ3b, 4aで構成されている。そのうち、インバータ2は、図14(b)に示すように、p型TFT201とn型TFT202とからなるCMOS構造になっている。また、クロックドインバータ3a, 4aは、図14(c)に示すように、p型TFT301a, 302aとn型TFT401a, 402aとから構成されてクロック信号CLAで駆動可能になっているのに対して、クロックドインバータ3b, 4bは、図14(d)に示すように、p型TFT301b, 302bとn型TFT401b, 402bとから構成されて逆相のクロック信号CLA\*で駆動可能になっている。

【0004】このため、従来のアクティブマトリクスパネルにおいては、たとえば、図15に示すように、ソース線駆動回路80のシフトレジスタ81のうち、クロックドインバータ3a, 4aのp型TFT301a, 302aとn型TFT401a, 402aとは、基板の外周縁側(矢印Xの方向)から画素マトリクスの形成領域側(矢印Yの方向)に向かって配置された2列の薄膜トランジスタ形成領域803a, 804aにそれぞれ形成されている。

#### 【0005】

【発明が解決しようとする課題】このような構成の液晶表示パネルにおいては、その表示品位を高める目的に、画素ピッチを狭小化して画素の微細化が図られつつあるが、その画素ピッチはソース線駆動回路80の単位セルのピッチP11に規定された状態にある。ここで、シフトレジスタ81のクロックドインバータ3a, 4aは4つのTFTで構成されているのに対して、アナログスイッチ部85は、ソース線駆動回路80の単位セル毎にn型TFT85a, 85b・・・のみで構成され、また、バッファ回路87のインバタ回路87a, 87bは、それぞれ相補型TFTで構成されているため、ソース線駆動回路80の単位セルのピッチP11はTFTの形成密度が高いシフトレジスタ81における単位シフトレジスタの形成ピッチP12に規定されている。

【0006】しかしながら、従来のアクティブマトリクスパネルにおいては、シフトレジスタ81の構造上の制約があつて、ソース線駆動回路80の単位セルのピッチP11(画素ピッチ)を狭小化できないという問題点がある。すなわち、シフトレジスタ81の製造プロセスのうちのイオン打ち込み工程において、薄膜トランジスタ形成領域803a, 804aのうち、導電型の異なるp型TFT301a, 302aとn型TFT401a, 402aとを形成する領域には逆導電型の不純物をそれぞ

れ導入する必要があるため、p型TFT301a, 302aとn型TFT401a, 402aとの間に所定の間隔、たとえば、10数μm以上の間隔を設ける必要がある。従って、いずれの薄膜トランジスタ形成領域803a, 804aも、その基板の辺方向(矢印Zの方向)における長さ寸法が長くなってしまう。

【0007】また、ソース線駆動回路の動作速度を向上する目的に、図16に示すソース線駆動回路90のように、そのシフトシフトレジスタ91に対して基板の外周

10 縁側(矢印Xの方向)に2系列のクロック信号線93, 94を設ける一方、そこから供給されるクロック信号CKA, CKBによってシフトシフトレジスタ91を2系列駆動可能のように、シフトレジスタ91をA系列のシフトレジスタ91aおよびB系列のシフトレジスタ91bに2系列化する場合がある。しかしながら、この場合であっても、基板の外周縁側(矢印Xの方向)の薄膜トランジスタ形成領域903aおよび画素マトリクスの形成領域側(矢印Yの方向)の薄膜トランジスタ形成領域903bはイオン打ち込み工程における制約上、導電型の異なるp型TFTとn型TFTとの間に10数μm以上の間隔を設ける必要があるため、いずれの薄膜トランジスタ形成領域903a, 904aも、基板の辺方向(矢印Zの方向)における長さ寸法が長くなってしまう。従って、シフトレジスタ91における単位シフトレジスタの形成ピッチP12を狭小化することができない。なお、図16において、クロック信号線93, 94は、それぞれ、クロック信号CLA, CLBをシフトレジスタ91に対して供給するクロック信号線931, 941と、クロック信号CLA, CLBに対して逆相のクロック信号CLA\*, CLB\*をシフトレジスタ91に供給するクロック信号線932, 942とから構成され、かつ、クロック信号CKA(CL A, CL A\*)とクロック信号CKB(CL B, CL B\*)とは互いに90°のずれをもっている。

【0008】以上の問題点に鑑みて、本発明の課題は、シフトレジスタを構成する薄膜トランジスタの配置構造を最適化して、駆動回路側の単位セルを狭ピッチ化可能なアクティブマトリクスパネルを実現することにある。

#### 【0009】

【課題を解決するための手段】上記課題を解決するため、本発明において講じた手段は、同一基板上の画素マトリクスの形成領域と基板の外周縁との間に形成されて各画素の表示動作を駆動するソース線駆動回路およびゲート線駆動回路のうちの少なくとも一方側の駆動回路において、そのシフトレジスタには、その1ビットに相当する単位シフトレジスタ当たり、少なくとも、第1導電型および第2導電型の薄膜トランジスタで構成されてクロック信号線から入力されたクロック信号に基づいて駆動される2つのクロックドインバータ回路が形成されており、第1導電型および第2導電型の薄膜トランジスタ

を、クロックドインバータ回路の形成領域において、同じクロックドインバータ回路の同じ導電型の薄膜トランジスタ毎に基板の外周縁側から画素マトリクスの形成領域側に向かって4列に配列された薄膜トランジスタ形成領域に形成すると共に、これらの薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域の一方端側同士を互いに近接させる一方、それらの他方端側を互いに反対方向に位置することである。すなわち、導電型の異なる薄膜トランジスタの形成領域同士を基板の外周縁側から画素マトリクスの形成領域側の方向でも分離することである。

【0010】また、本発明においては、シフトレジスタ形成領域を基板の外周縁側の第1のシフトレジスタ形成領域と画素マトリクスの形成領域側の第2のシフトレジスタ形成領域とに分離し、これらのシフトレジスタ形成領域に、シフトレジスタを第1および第2のシフトレジスタとして分割して形成しておくことが好ましい。

【0011】この場合には、クロック信号線からのクロック信号をシフトレジスタに供給するクロック信号入力線を、第1のシフトレジスタ側と第2のシフトレジスタ側との間で同寸法、かつ、最短寸法で構成する目的に、シフトレジスタにクロック信号を供給するクロック信号線のうち、第1のシフトレジスタ形成領域に形成された第1のシフトレジスタにクロック信号を供給する第1のクロック信号線を第1のシフトレジスタ形成領域に対して隣接する位置に並列配置し、第2のシフトレジスタ形成領域に形成された第2のシフトレジスタにクロック信号を供給する第2のクロック信号線を第2のシフトレジスタ形成領域に対して隣接する位置に並列配置することが好ましい。また、第1のクロック信号線と第2のクロック信号線とを対応する各シフトレジスタ形成領域に対して略等距離を隔てた位置に配置することが好ましい。

【0012】さらに、シフトレジスタ形成領域をクロック信号線が通らないようにして、単位シフトレジスタの形成ピッチを狭小化する目的に、第1のクロック信号線を第1のシフトレジスタ形成領域に対して基板の外周縁側に形成し、第2のクロック信号線を第2のシフトレジスタ形成領域に対して画素マトリクスの形成領域側に形成しておくことが好ましい。

【0013】また、シフトレジスタを構成する薄膜トランジスタの動作特性を現状のままで、駆動回路の動作速度を高める目的に、第1クロック信号線と第2のクロック信号線からは位相がずれた系列毎のクロック信号を供給し、これらの系列毎のクロック信号に対応して、第1および第2のシフトレジタも系列化しておくことが好ましい。同様の目的に、第1または第2のクロック信号線を、位相がずれた系列毎のクロック信号が供給される複数のクロック信号線から構成し、これらの系列毎のクロック信号に対応して、第1または第2のシフトレジタの

側も系列化しておくことが好ましい。

【0014】

【作用】上記手段を講じた本発明に係るアクティブマトリクスピネルにおいて、ソース線駆動回路またはゲート線駆動回路のシフトレジスタでは、そのクロックドインバータ回路を構成する第1導電型および第2導電型の薄膜トランジスタを、同じクロックドインバータ回路の同じ導電型の薄膜トランジスタ毎に、基板の外周縁側から画素マトリクスの形成領域側に向かって配置された4列の薄膜トランジスタ形成領域に形成してあり、これらの薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域同士を互いに近接させる一方、それらの他方端側を互いに反対方向に位置するようになる。すなわち、導電型の異なる薄膜トランジスタの形成領域同士を基板の外周縁側から画素マトリクスの形成領域側の方向でも分離することである。従って、導電型の異なる薄膜トランジスタの形成領域同士は、近接し合った状態のままで、互いに異なる領域に偏在している。それ故、薄膜トランジスタを形成するにあたっての支障がなく、しかも、回路要素の形成密度が高いシフトレジスタの形成ピッチを狭小化できる。その結果、駆動回路の単位セルのピッチを狭小化して、画素マトリクスを微細化できる。

【0015】さらに、シフトレジスタ形成領域を基板の外周縁側の第1のシフトレジスタ形成領域と画素マトリクスの形成領域側の第2のシフトレジスタ形成領域とに分割した場合には、駆動回路の単位セルのピッチを実質的に狭ピッチ化できるので、画素マトリクスを微細化できる。

【0016】

【実施例】つぎに、添付図面を参照して、本発明の実施例について説明する。

【0017】【実施例1】図1は本発明の実施例1に係るアクティブマトリクスピネル（液晶表示パネル）のソース線駆動回路側における薄膜トランジスタおよび配線層の配置を示す構成図、図2はそのブロック図、図3はその回路図である。ここで、本例のアクティブマトリクスピネルの全体構成は、図13に示すブロック図と概ね同様であるため、以下の説明では、ソース線駆動回路の構成についてのみ詳述する。

【0018】これらの図において、本例のアクティブマトリクスピネルのソース線駆動回路40は、図15に示した従来のソース線駆動回路と同様に、シフトレジスタ40の駆動方式が2系列化されている。ソース線駆動回路40は、画素マトリクスおよびゲート線駆動回路（いずれも、図示せず。）と共に同一の透明基板上に形成されて、画素マトリクスの各画素の表示動作を駆動する。ここで、ソース線駆動回路40は基板の外周縁から画素マトリクスの形成領域までの間に形成されており、本例において、シフトレジスタ41は、基板の外周縁側（矢

印Xの方向)の第1のシフトレジスタ形成領域42aと、画素マトリクスの形成領域側(矢印Yの方向)の第2のシフトレジスタ形成領域42bとに、それぞれ、単位シフトレジスタA1, A2, A3...からなるA系列のシフトレジスタ41a(第1のシフトレジスタ)と、単位シフトレジスタB1, B2, B3...からなるB系列のシフトレジスタ41b(第1のシフトレジスタ)とに分割して形成されている。また、A系列およびB系列のシフトレジスタ41a, 41bにクロック信号CKA, CKBを供給するクロック信号線のうち、A系列のシフトレジスタ41aにクロック信号CKAを供給するA系列のクロック信号線43(第1のクロック信号線)は、第1のシフトレジスタ形成領域42aに対して隣接する位置に並列配置され、B系列のシフトレジスタ41bにクロック信号CKBを供給するB系列のクロック信号線44(第2のクロック信号線)は、第2のシフトレジスタ形成領域42bに対して隣接する位置に並列配置されている。ここで、A系列のクロック信号線43は第1のシフトレジスタ形成領域42aに対して基板の外周縁側(矢印Xの方向)に形成され、B系列のクロック信号線44は第2のシフトレジスタ形成領域42bに対して画素マトリクスの形成領域側(矢印Yの方向)に形成されている。さらに、A系列のクロック信号線43とB系列のクロック信号線44とは、対応する第1または第2のシフトレジスタ形成領域42a, 42bに対して略等距離を隔てた位置にある。このため、A系列のクロック信号線43とA系列のシフトレジスタ41aとを接続するクロック信号入力線49aと、B系列のクロック信号線44とB系列のシフトレジスタ41bとを接続するクロック信号入力線49bの配線長さが略同寸法、かつ、最短寸法に設計されて、クロック信号CKA, CKBに同期のずれが発生しないようになっている。

【0019】また、第2のシフトレジスタ形成領域42bに対して画素マトリクスの形成領域側(矢印Yの方向)には、シフトレジスタ41から出力されたビット信号を、サンプルホールド部のアナログスイッチ45の側に向けて送出するためのビット信号出力線46が形成され、その途中位置には、ビット信号を增幅し、また、ビット信号出力線46が交差するB系列のクロック信号線44からのノイズの影響を緩和する機能も発揮するバッファ回路47が、2つのインバータ47a, 47bによって構成されている。ここで、B系列のクロック信号線44からのノイズの影響を緩和すべきバッファ回路47としては、多結晶シリコン層で形成された高抵抗のビット信号出力線46に寄生する抵抗Rと、ビット信号出力線46とアルミニウム配線層たるクロック信号線44との間に介在する層間絶縁膜48によって構成される寄生容量Cとを利用してバッファ回路を構成することもできる。

【0020】また、クロックドゲートなども採用でき

る。

【0021】また、本例において、A系列のクロック信号線43は、互いに逆相のクロック信号CL<sub>A</sub>, CL<sub>A</sub>\*が伝達される2つのクロック信号線431, 432から構成され、B系列のクロック信号線44も、互いに逆相のクロック信号CL<sub>B</sub>, CL<sub>B</sub>\*が伝達される2つのクロック信号線441, 442から構成されている。

【0022】これらのクロック信号線43, 44のうち、クロック信号線431, 441からは奇数番目の単位シフトレジスタA1, A3..., B1, B3...にクロック信号CL<sub>A</sub>, CL<sub>B</sub>が入力され、クロック信号線432, 442からは偶数番目の単位シフトレジスタA2, A4..., B2, B4...にクロック信号CL<sub>A</sub>\*, CL<sub>B</sub>\*が入力される。ここで、A系列およびB系列のシフトレジスタ41a, 41bは、いずれも、図3に示すように、1つのインバータ2と2つのクロックドインバータ3a, 4a(クロックドインバータ3b, 4b)によって、1ビット分の単位シフトレジスタA1, A2, A3..., B1, B2, B3...が構成されており、そのうち、奇数番目の単位シフトレジスタA1, A3..., B1, B3...は、クロック信号CKA, CKBのうち、クロック信号CL<sub>A</sub>, CL<sub>B</sub>によって駆動される一方、偶数番目の単位シフトレジスタA2, A4..., B2, B4...は、クロック信号CKA, CKBのうち、クロック信号CL<sub>A</sub>, CL<sub>B</sub>と逆相のクロック信号CL<sub>A</sub>\*, CL<sub>B</sub>\*によって駆動される。ここで、インバータ2は、図1および図14(b)に示すように、p型TFT201とn型TFT202とからなるCMOS構造になっている。また、クロックドインバータ3a, 4aは、図1および図14(c)に示すように、2つのp型TFT301a, 302aとn型TFT401a, 402aとから構成されてクロック信号CL<sub>A</sub>, CL<sub>B</sub>で駆動可能になっているのに対して、クロックドインバータ3b, 4bは、図1および図14(d)に示すように、2つのp型TFT301b, 302bとn型TFT401b, 402bとから構成されて逆相のクロック信号CL<sub>A</sub>\*, CL<sub>B</sub>\*で駆動可能になっている。

【0023】また、A系列のクロック信号線83からのクロック信号CKA(クロック信号CL<sub>A</sub>, CL<sub>A</sub>\*)の位相と、B系列のクロック信号線84からのクロック信号CKBの位相(クロック信号CL<sub>B</sub>, CL<sub>B</sub>\*)とは、図4に示すタイミングチャートのように、90°ずらしてある。このため、開始信号DXが入力された以降において、A系列のシフトレジスタ41aの奇数番目の単位シフトレジスタA1, A3...は、クロック信号CL<sub>A</sub>のパルス立ち下がりに対応してビット信号252を出力する一方、A系列のシフトレジスタ41aの偶数番目の単位シフトレジスタA2, A4...は、クロック信号CL<sub>A</sub>\*のパルス立ち下がりに対応してビット信

号254を出力する。また、B系列のシフトレジスタ41bの奇数番目の単位シフトレジスタB1, B3...は、クロック信号CLBのパルス立ち下がりに対応してビット信号253を出力する一方、B系列のシフトレジスタ41bの偶数番目の単位シフトレジスタB2, B4...は、クロック信号CLB\*のパルス立ち下がりに対応してビット信号255を出力する。そして、ビット信号252~255に基づいて、アナログスイッチ部45の各アナログスイッチが動作して、Video信号線(video1, video2, video3)からの各ビデオ信号Vを各ソース線にホールドする。このため、シフトレジスタ41の薄膜トランジスタの動作を高周波化することなく、ビット信号の実質的な送出タイミングが高周波化されるので、ソース線駆動回路40の動作速度を高めることができる。

【0024】このような構成のアクティブマトリクスパネルのソース線駆動回路40における各TFTの配置構造を、図5(a), 図5(b)および図6を参照して、説明する。

【0025】ここで、図5(a)は本例のアクティブマトリクスパネルのソース線駆動回路40のうちのA系列のシフトレジスタ41aの単位シフトレジスタA1における各TFTの配置を示す構成図、図5(b)はその回路図、図6はソース線駆動回路40のうちのB系列のシフトレジスタ41bの単位シフトレジスタB1における各TFTと配線層との配置関係を示す平面図である。

【0026】図5(a)および図5(b)において、単位シフトレジスタA1は1つのインバータ2と2つのクロックドインバータ3a, 4aとを有しているが、いずれのクロックドインバータ3a, 4aも、p型TFT301a, 302aとn型TFT401a, 402aとで構成されている。ここで、p型TFT301a, 302aおよびn型TFT401a, 402aが形成された各薄膜トランジスタ形成領域300a, 300b, 300c, 300dは、基板の外周縁側から画素マトリクスの形成領域側に向かって4列に配列されており、薄膜トランジスタ形成領域300a, 300b, 300c, 300dのうち、薄膜トランジスタ形成クロックドインバータ3aの側のp型TFT301a, 302aが形成された薄膜トランジスタ形成領域300aの一方端と、そのn型TFT401a, 402aが形成された薄膜トランジスタ形成領域300bの一方端とは互いに近接し合いながら、それらの間に所定の間隔を設けてあるのに対して、他方端同士は反対方向に位置している。同様に、クロックドインバータ4aの側のp型TFT301a, 302aが形成された薄膜トランジスタ形成領域300cの一方端と、そのn型TFT401a, 402aが形成された薄膜トランジスタ形成領域300dの一方端とは互いに近接し合いながら、それらの間には所定の間隔を設けてあるのに対して、他方端同士は反対方向に位置し

ている。ここで、異なる導電型のTFTが形成された薄膜トランジスタ形成領域同士を異なる領域に偏在化させているのは、p型TFT301a, 302aおよびn型TFT401a, 402aの製造プロセスでは、それらを途中まで一括して形成して、そのうち、シリコン膜にイオン注入する不純物のみを相違させてn型およびp型のTFTを順次形成していくときに、p型の不純物をイオン注入する領域とn型の不純物をイオン注入する領域とが近接しすぎていると、逆の導電型の不純物で汚染され、安定した特性を有するTFTを形成できないためである。しかしながら、その間隔を広げすぎると、結果的には、単位シフトレジスタA1, A2...の形成ピッチP2が拡張され、ソース線駆動回路40の単位セルのピッチP1も拡張されてしまう。そこで、本例のアクティブマトリクスパネルのソース線駆動回路40においては、基板の外周縁側(矢印Xの方向)から画素マトリクスの形成領域側(矢印Yの方向)に向かって4列に配列された薄膜トランジスタ形成領域300a~300dを設け、これらの薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域の一方端側同士を互いに近接させている一方、それらの他方端側を互いに反対方向に位置させることによって、異なる導電型のTFTが形成された薄膜トランジスタ形成領域同士を異なる領域に偏在化させながら、単位シフトレジスタA1の基板の辺方向(矢印Zの方向)の長さ寸法を短縮してある。また、他の単位シフトレジスタA2, A3..., B2, B3...も同様な構造になっている。たとえば、図6に示すように、単位シフトレジスタB1において、p型TFT302bのドレインに対する接続孔と、n型TFT401aに対する接続孔とは、基板の外周縁側から画素マトリクスの形成領域側に向かって同一線上に位置するまで、薄膜トランジスタ形成領域300aと薄膜トランジスタ形成領域300bとの基板の辺方向に対する間隔および薄膜トランジスタ形成領域300dと薄膜トランジスタ形成領域300cとの基板の辺方向に対する間隔を狭めて、単位シフトレジスタA1, A2..., B1, B2...形成ピッチP2を狭めてある。また、インバータ2を構成するp型TFT201の形成位置をp型TFT301a, 302aが形成された薄膜トランジスタ形成領域300a, 300cに対応させていると共に、n型TFT202の形成位置をn型TFT401a, 402aが形成された薄膜トランジスタ形成領域300b, 300dに対応させて、異なる導電型のTFTが形成された薄膜トランジスタ形成領域同士を異なる領域に偏在化させている。

【0027】さらに、本例のアクティブマトリクスパネルのソース線駆動回路40においては、図6のV-V線における断面図を図7に示すように、絶縁性の透明基板11の表面上に形成されたシリコン層103に対し、p

型の不純物をイオン注入してクロックドインバータ4aのp型TFT301a, 302aを形成してあるが、そのうち、n型TFT301aのソース101aとn型TFT302aのドレイン102aとを共通の高濃度の不純物が導入されたシリコン領域103aで共有化して、その基板の辺方向に対する形成間隔をさらに狭めている。また、他のTFTにおいても、同じ領域をTFTのソースとドレインとが共有する構造が採用されている。なお、図7において、104a, 105aはn型TFT301a, 302aの多結晶シリコンで構成されたゲート電極であって、そのうち、ゲート電極104aはそこから延出してクロック信号入力線49bを構成している。一方、106a, 107aは、アルミニウム配線層であって、n型TFT401a, 402aに対してドレイン電位およびソース電位を供給するソース・ドレイン配線層を構成している。なお、図8には、バッファ回路47およびアナログスイッチ部45における各TFTおよび配線層の配置構造を示してある。この図に示すように、シフトレジスタ41の側において単位シフトレジスタA1, A2..., B1, B2...の形成ピッチP2が狭小化されたのに対応して、そこからのビット信号出力線46のピッチも狭小化されていると共に、ソース線駆動回路40の単位セルのピッチP1も狭小化されている。

【0028】以上のとおり、本例のアクティブマトリクスピネルのソース線駆動回路40においては、その単位シフトレジスタA1, A2..., B1, B2...が基板の外周縁側（矢印Xの方向）から画素マトリクスの形成領域側（矢印Yの方向）までの間に配置された2つのシフトレジスタ形成領域42a, 42bに分割して形成してあるため、ソース線駆動回路40の単位セルのピッチP1が小さい。また、ソース線駆動回路40のうち、回路素子の形成密度が高い単位シフトレジスタA1, A2..., B1, B2...のクロックドシフトレジスタ3a, 3b, 4a, 4bの形成領域においては、それを構成するp型TFT301a, 302a, 301b, 302bおよびn型TFT401a, 402a, 401b, 402bの形成領域を、基板の外周縁側（矢印Xの方向）から画素マトリクスの形成領域側（矢印Yの方向）に向かって4列に配列し、かつ、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域の一方端側同士を互いに近接させている一方、それらの他方端側を互いに反対方向に位置させているため、異なる導電型のTFTが形成された薄膜トランジスタ形成領域同士を異なる領域に偏在化させながら、単位シフトレジスタA1, A2..., B1, B2...の基板の辺方向（矢印Zの方向）の長さ寸法を、従来の2/3にまで短縮してある。このため、単位シフトレジスタA1, A2..., B1, B2...の形成ピッチP2が狭小化されて、ソース線駆動回路40の単位セルの

ピッチが狭小化されている。このため、ソース線駆動回路40の単位セルのピッチP1に規定される画素マトリクスの画素を微細化して表示の品位を向上することができる。

【0029】また、シフトレジスタ41にクロック信号CKA(CLA, CLA\*), CKB(CLB, CLB\*)を供給するA系列およびB系列のクロック信号線43, 44のうち、A系列のクロック信号線43を第1のシフトレジスタ形成領域42aに対して隣接する位置に並列配置し、B系列のクロック信号線44を第2のシフトレジスタ形成領域42bに対して隣接する位置に並列配置しているため、各クロック信号線43, 44からシフトレジスタ41までのクロック信号入力線49a, 49bの配線長さが、略同寸法かつ最短寸法に設計されている。このため、配線抵抗の差または寄生容量の差に起因して、クロック信号CKA, CKBの同期がずれるという問題が発生しないので、シフトレジスタ41が誤動作せず、アクティブマトリクスピネルの信頼性が高い。また、A系列のクロック信号線43は第1のシフトレジスタ形成領域42aに対して基板の外周縁側に形成され、B系列のクロック信号線44は第2のシフトレジスタ形成領域42bに対して画素マトリクスの形成領域側（矢印Yの方向）に形成されているため、第1および第2のシフトレジスタ形成領域42a, 42bを、クロック信号入力線49a, 49bが通過していないので、単位シフトレジスタA1, B1, A2, B2...をさらに近接し合う状態で形成できる。

【0030】【実施例2】図9は本発明の実施例2に係るアクティブマトリクスピネル（液晶表示パネル）のソース線駆動回路側のブロック図であり、図9にはそのシフトレジスタおよびクロック信号線の配置関係を示してある。ここで、本例のアクティブマトリクスピネルの全体構成は、図13に示すブロック図と同様であるため、全体構成の説明は省略する。また、ソース線駆動回路を構成するシフトレジスタ、バッファ回路およびアナログスイッチ部のうち、バッファ回路およびアナログスイッチ部の構成は、実施例1のアクティブマトリクスピネルと同様であって、しかも、シフトレジスタ、バッファ回路およびアナログスイッチ部を構成する回路要素も、実施例1のアクティブマトリクスピネルと同様であるため、本例のアクティブマトリクスピネルについては、図9のブロック図のみに基づいて説明する。

【0031】図9において、本例のアクティブマトリクスピネルのソース線駆動回路50は4系列化されており、ソース線駆動回路50は、画素マトリクスおよびゲート線駆動回路（いずれも、図示せず。）と共に同一の透明基板上に形成されて、画素マトリクスの各画素の表示動作を駆動する。また、ソース線駆動回路50は、基板の外周縁から画素マトリクスの形成領域までの間に形成されており、そのシフトレジスタ51は、基板の外周

縁側（矢印Xの方向）の第1のシフトレジスタ形成領域52aと、画素マトリクスの形成領域側（矢印Yの方向）の第2のシフトレジスタ形成領域52bとに分割して形成されている。これらの第1および第2のシフトレジスタ形成領域52a, 52bのうち、第1のシフトレジスタ形成領域52aには、単位シフトレジスタA1, A2...からなるA系列のシフトレジスタ51aおよび単位シフトレジスタC1, C2...からなるC系列のシフトレジスタ51c（第1のシフトレジスタ）が交互に形成されている一方、第2のシフトレジスタ形成領域52bには、単位シフトレジスタB1, B2...からなるB系列のシフトレジスタ51bおよび単位シフトレジスタD1, D2...からなるD系列のシフトレジスタ51d（第2のシフトレジスタ）が交互に形成されている。

【0032】ここで、A系列のシフトレジスタ51aおよびC系列のシフトレジスタ51cに対してクロック信号CKA, CKCを供給するA系列のクロック信号線53およびC系列のクロック信号線54（第1のクロック信号線）は、第1のシフトレジスタ形成領域51aに対して隣接する位置に並列配置され、B系列のシフトレジスタ51bおよびD系列のシフトレジスタ51dに対してクロック信号CKB, CKDを供給するB系列のクロック信号線55およびD系列のクロック信号線56（第2のクロック信号線）は、第2のシフトレジスタ形成領域51bに対して隣接する位置に並列配置されている。また、A系列のクロック信号線53およびC系列のクロック信号線54は第1のシフトレジスタ形成領域52aに対して基板の外周縁側（矢印Xの方向）に形成されているのに対して、B系列のクロック信号線55およびD系列のクロック信号線56は第2のシフトレジスタ形成領域52bに対して画素マトリクスの形成領域側（矢印Yの方向）に形成されている。このため、A系列のクロック信号線53（第1のクロック信号線）からA系列のシフトレジスタ51aまでのクロック信号入力線59aの配線長さと、B系列のクロック信号線55（第2のクロック信号線）からB系列のシフトレジスタ51bまでのクロック信号入力線59bの配線長さと、略同寸法かつ最短寸法に設計するのが容易になっている。同様に、C系列のクロック信号線54（第1のクロック信号線）からC系列のシフトレジスタ51cまでのクロック信号入力線59cの配線長さと、D系列のクロック信号線56（第2のクロック信号線）からD系列のシフトレジスタ51dまでのクロック信号入力線59dの配線長さも、略同寸法かつ最短寸法に設計されている。また、A系列のクロック信号線53とC系列のクロック信号線54とは近接し合って並列していると共に、B系列のクロック信号線55とD系列のクロック信号線56とは近接し合って並列しているため、いずれのクロック信号入力線59a, 59b, 59c, 59dの配線長さも略同

寸法になっている。

【0033】なお、第2のシフトレジスタ形成領域52bに対して画素マトリクスの形成領域側（矢印Yの方向）には、シフトレジスタ51の各単位シフトレジスタからビット信号を、サンプルホールド部のアナログスイッチ部65の側に向けて送出するためのビット信号線66が形成され、その途中位置には、ビット信号を遅延させて、ビット信号出力線66が交差する側のB系列のクロック信号線55およびD系列のクロック信号線56からのノイズの影響を緩和する機能も発揮するバッファ回路67が、実施例1と同様に、2つのインバータなどによって構成されている。

【0034】なお、本例においても、いずれのクロック信号線53, 54, 55, 56も、互いに逆相のクロック信号を供給する2本のクロック信号線で構成されており、A～D系列のシフトレジスタ51a～51dのうち、奇数番目の単位シフトレジスタA1, C1, B1, D1...と、偶数番目の単位シフトレジスタA2, C2, B2, D2...とは、互いに逆相のクロック信号によって駆動される。また、A系列のクロック信号線53からのクロック信号CKAの位相、B系列のクロック信号線55からのクロック信号CKBの位相、C系列のクロック信号線54からのクロック信号CKCの位相およびD系列のクロック信号線56からのクロック信号CKDの位相は、互いに45°ずつずらして、4系列化しての駆動が可能になっている。このため、シフトレジスタ51を構成する薄膜トランジスタの動作を高周波化することなく、ソース線駆動回路50の動作速度を高めることができる。

【0035】また、本例のアクティブマトリクスパネルのソース線駆動回路50においても、実施例1と同様に、図5（b）に示す1ビット当たりの単位シフトレジスタ、たとえば、単位シフトレジスタA1は、1つのインバータ2と2つのクロックドインバータ3a, 4aとを有し、そのうち、クロックドインバータ3aは、図5（a）に示すように、基板の外周縁側（矢印Xの方向）から画素マトリクスの形成領域側（矢印Yの方向）に向かって配列された4列の薄膜トランジスタ形成領域300a, 300b, 300c, 300dに形成されている。

ここで、p型TFT301a, 302aが形成された薄膜トランジスタ形成領域300a, そのn型TFT401a, 402aが形成された薄膜トランジスタ形成領域300b, クロックドインバータ4aの側のn型TFT401a, 402aが形成された薄膜トランジスタ形成領域300d, そのp型TFT301a, 302aが形成された薄膜トランジスタ形成領域300cの順序に配列された薄膜トランジスタ形成領域300a～300dのうち、異なる導電型のTFTが形成された薄膜トランジスタ形成領域300aと薄膜トランジスタ形成領域300bとは基板の辺方向に向かって近接した位置で

分離しており、同様に、薄膜トランジスタ形成領域300dと薄膜トランジスタ形成領域300cも基板の辺方向に向かって近接した位置で分離してある。また、他の単位シフトレジスタA2, A3・・・, B1, B2・・・も同様な構造になっている。

【0036】このため、本例のアクティブマトリクスパネルにおいても、実施例1と同様に、薄膜トランジスタ形成領域300aと薄膜トランジスタ形成領域300bとの基板の辺方向に対する間隔および薄膜トランジスタ形成領域300dと薄膜トランジスタ形成領域300cとの基板の辺方向（矢印Zの方向）に対する間隔を狭めて、単位シフトレジスタA1, A2・・・, B1, B2・・・形成ピッチP2を狭小化している。さらに、シフトレジスタ71は、基板の外周縁側の第1のシフトレジスタ形成領域52aと画素マトリクスの形成領域側の第2のシフトレジスタ形成領域52bとに、A系列およびC系列のシフトレジスタ51a, 51cとB系列およびD系列のシフトレジスタ51b, 51cとして並列状態に分割して形成されているため、ソース線駆動回路50の単位セルのピッチP1は狭ピッチ化されている。従って、画素マトリクスの画素ピッチを狭小化して、表示の品位を向上することができる。ここで、A系列～D系列のクロック信号線53～56は、それぞれ対応するシフトレジスタ形成領域に対して隣接する位置に並列配置されているため、各クロック信号線53～56からシフトレジスタ41までのクロック信号入力線59a～59dの配線長さが、各系列間で同寸法、かつ、最短寸法に設計可能である。このため、配線抵抗の差または寄生容量の差に起因してのクロック信号CKA, CKB, CKC, CKDの同期のずれが発生する事がない。それ故、シフトレジスタ51に誤動作が生じず、アクティブマトリクスパネルの信頼性が高い。しかも、シフトレジスタ41を4系列駆動しているため、ソース線駆動回路50の動作速度をさらに高速化することができる。

【0037】【実施例3】図10は本発明の実施例3に係るアクティブマトリクスパネル（液晶表示パネル）のソース線駆動回路側における薄膜トランジスタおよび配線層の配置を示す構成図、図11はそのブロック図、図12はその回路図である。本例のアクティブマトリクスパネルの全体構成も、図13に示すブロック図と同様であるため、全体構成の説明は省略する。また、ソース線駆動回路を構成するシフトレジスタ、バッファ回路およびアナログスイッチ部のうち、バッファ回路およびアナログスイッチ部の構成は、実施例1のアクティブマトリクスパネルと同様であって、しかも、シフトレジスタ、バッファ回路およびアナログスイッチ部を構成する回路要素も、実施例1のアクティブマトリクスパネルと同様であるため、図10には、シフトレジスタ側の構造のみを示してある。

【0038】これらの図において、本例のソース線駆動

回路70は1系列の駆動方式であって、ソース線駆動回路70は、画素マトリクスおよびゲート線駆動回路（いずれも、図示せず。）と共に同一の透明基板上に形成されて、画素マトリクスの各画素の表示動作を駆動する。また、ソース線駆動回路70は、基板の外周縁から画素マトリクスの形成領域までの間に形成されており、本例においては、そのシフトレジスタ71は、基板の外周縁側の第1のシフトレジスタ形成領域72aと画素マトリクスの形成領域側の第2のシフトレジスタ形成領域72bとに分割されて形成されている。すなわち、第1および第2のシフトレジスタ形成領域72a, 72bのうち、第1のシフトレジスタ形成領域72aには、クロック信号CKAによって駆動される単位シフトレジスタA1, A4, A5・・・からなる第1のシフトレジスタ71aが形成されている一方、第2のシフトレジスタ形成領域72bには、同じクロック信号CKAによって駆動される単位シフトレジスタA2, A3, A6・・・からなる第2のシフトレジスタ71bが形成されている。

【0039】ここで、第1のシフトレジスタ71aにクロック信号CKAを供給する第1のクロック信号線73は第1のシフトレジスタ形成領域71aに対して隣接する位置に並列配置されている一方、第2のシフトレジスタ71bにクロック信号CKAを供給する第2のクロック信号線74は第2のシフトレジスタ形成領域71bに対して隣接する位置に並列配置されている。また、第1のクロック信号線73は第1のシフトレジスタ形成領域72aに対して基板の外周縁側（矢印Xの方向）に形成され、第2のクロック信号線74は第2のシフトレジスタ形成領域72bに対して画素マトリクスの形成領域側（矢印Yの方向）に形成されている。さらに、第1のクロック信号線73から第1のシフトレジスタ71aまでのクロック信号入力線79aの配線長さと、第2のクロック信号線74から第2のシフトレジスタ71bまでのクロック信号入力線79bの配線長さとは、互いに同寸法、かつ最短寸法に設計されている。また、第2のシフトレジスタ形成領域72bに対して画素マトリクスの形成領域側（矢印Yの方向）には、シフトレジスタ71からのビット信号をアナログスイッチ部75の側（画素マトリクスの側）に向けて送出するためのビット信号線76が形成され、その途中位置には、ビット信号を遅延させて、ビット信号出力線76が交差する第2のクロック信号線74からのノイズの影響を緩和する機能も発揮するバッファ回路77が、実施例1と同様に、2つのインバータなどによって構成されている。なお、本例においても、第1および第2のシフトレジスタ71a, 71bは、いずれも実施例1と同様な回路要素から構成されている一方、いずれのクロック信号線73, 74も、互いに逆相のクロック信号CLA, CLA\*を供給する2本のクロック信号線731, 732, 741, 742で構成されて、第1のシフトレジスタ71aと第2のシフト

レジスタ71aとを互いに逆相のクロック信号CLA, CLA\*によって駆動可能になっている。ここで、第1および第2のクロック信号線73, 74のいずれもを1本のクロック信号線で構成することもできるが、第1および第2のクロック信号線73, 74を互いに逆相のクロック信号CLA, CLA\*に対応する2本のクロック信号線で構成することによって、クロック信号線73, 74間の寄生容量などを等価にして、一方側のクロック信号が他方側のクロック信号に比して遅延することを防止してある。

【0040】また、本例のソース線駆動回路50においても、図5(a)および図5(b)に示すように、1ビット当たりの単位シフトレジスタ、たとえば、単位シフトレジスタA1のクロックドインバータ3aを、基板の外周縁側(矢印Xの方向)から画素マトリクスの形成領域側(矢印Yの方向)に向かって配列された4列の薄膜トランジスタ形成領域300a, 300b, 300c, 300dに形成してある。これらの薄膜トランジスタ形成領域300a～300dは、クロックドインバータ3aの側のp型TFT301a, 302aが形成された薄膜トランジスタ形成領域300a, そのn型TFT401a, 402aが形成された薄膜トランジスタ形成領域300b, クロックドインバータ4aの側のn型TFT401a, 402aが形成された薄膜トランジスタ形成領域300d, そのp型TFT301a, 302aが形成された薄膜トランジスタ形成領域300cの順序に配列されており、そのうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域の一方端側同士は互いに近接している一方、それらの他方端側は互いに反対方向に位置している。すなわち、異なる導電型のTFTが形成された薄膜トランジスタ形成領域300aと薄膜トランジスタ形成領域300bとは基板の辺方向に向かって近接した位置で分離してあり、同様に、薄膜トランジスタ形成領域300dと薄膜トランジスタ形成領域300cも基板の辺方向に向かって近接した位置で分離してある。また、他の単位シフトレジスタA2, A3・・・も同様な構造になっている。

【0041】このため、本例のアクティブマトリクスピネルにおいては、実施例1と同様に、薄膜トランジスタ形成領域300aと薄膜トランジスタ形成領域300bとの基板の辺方向に対する間隔および薄膜トランジスタ形成領域300dと薄膜トランジスタ形成領域300cとの基板の辺方向に対する間隔を狭めて、単位シフトレジスタA1, A2・・・の形成ピッチP2を狭めて、ソース線駆動回路70の単位セルのピッチP1を狭小化してある。また、シフトレジスタ71は、基板の外周縁側の第1のシフトレジスタ形成領域72aと、画素マトリクスの形成領域側の第2のシフトレジスタ形成領域72bとに並列状態に分割して形成してあるため、ソース線駆動回路70の単位セルのピッチP1はさらに狭ピッチ

化されている。従って、画素マトリクスの画素ピッチを狭小化して、表示の品位を向上することができる。ここで、第1のクロック信号線73は第1のシフトレジスタ形成領域72aに対して隣接する位置に並列配置され、第2のクロック信号線74は第2のシフトレジスタ形成領域72bに対して隣接する位置に並列配置されているため、各クロック信号線73, 74からシフトレジスタ41までのクロック信号入力線79a, 79bの配線長さが、各系列間で同寸法、かつ、最短寸法に設計されている。このため、配線抵抗の差または寄生容量の差に起因してのクロック信号CKAの同期ずれが発生しない。それ故、シフトレジスタ71に誤動作が生じないので、アクティブマトリクスピネルの信頼性が高い。

【0042】なお、上記の構成を備える薄膜トランジスタの配置構造については、ゲート線駆動回路側にも採用できる。

#### 【0043】

【発明の効果】以上のことより、本発明に係るアクティブマトリクスピネルにおいては、ソース線駆動回路またはゲート線駆動回路のシフトレジスタの形成領域において、そのクロックドインバータ回路を構成する第1導電型および第2導電型の薄膜トランジスタを、基板の外周縁側から画素マトリクスの形成領域側に向かって配置された4列の薄膜トランジスタ形成領域に形成し、これらの薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域同士の一方端側同士を互いに近接させる一方、それらの他方端側を互いに反対方向に向けてあることに特徴を有するため、以下の効果を奏する。

【0044】① 導電型の異なる薄膜トランジスタの形成領域同士を基板の外周縁側から画素マトリクスの形成領域側の方向でも分離してあるため、導電型の異なる薄膜トランジスタの形成領域同士を、近接し合った状態のままで、互いに異なる領域に偏在させることができる。それ故、薄膜トランジスタのイオン注入工程などに支障がなく、しかも、回路要素の形成密度が高いシフトレジスタの形成ピッチを狭めることができるので駆動回路の単位セルのピッチを狭小化して、画素マトリクスを微細化できる。

【0045】② シフトレジスタは、基板の外周縁から画素マトリクスの形成領域までの間に並列配置された第1および第2のシフトレジスタ形成領域に分割して形成されているため、駆動回路の単位セルのピッチは狭小化される。従って、画素マトリクスの画素ピッチを狭小化して表示の品位を向上することができる。

【0046】③ 第1のクロック信号線は第1のシフトレジスタ形成領域に隣接して並列配置され、第2のクロック信号線は第2のシフトレジスタ形成領域に隣接して並列配置されているため、各クロック信号線からシフトレジスタまでの配線長さを等しく、また最短寸法に設計

できる。このため、配線抵抗の差や寄生容量の差異に起因してのクロック信号の同期のずれが発生しにくいので、シフトレジスタが誤動作せず、アクティブマトリクスパネルの信頼性が高い。ここで、第1のクロック信号線を第1のシフトレジスタ形成領域に対して基板の外周縁側に形成し、第2のクロック信号線を第2のシフトレジスタ形成領域に対して画素マトリクスの形成領域側に形成した場合には、シフトレジスタ形成領域をクロック信号線が通らないので、単位シフトレジスタの形成ピッチをさらに狭小化できる。

【0047】④ 第1および第2のシフトレジスタを複数に系列化した場合には、それを構成する回路要素の動作を高速度化せずとも、駆動回路自身の動作速度を高めることができる。

【図面の簡単な説明】

【図1】本発明の実施例1に係るアクティブマトリクスパネルにおける2系列のソース線駆動回路の各構成部分の配置を示す構成図である。

【図2】図1に示すソース線駆動回路のブロック図である。

【図3】図1に示すソース線駆動回路の回路図である。

【図4】図1に示すソース線駆動回路の各部に入出力される信号のタイミングチャート図である。

【図5】(a)は図1に示すソース線駆動回路のシフトレジスタのうちの単位シフトレジスタにおける各構成部分の配置を示す構成図、(b)はその回路図である。

【図6】図1に示すソース線駆動回路のシフトレジスタにおける各構成部分の配置を示す平面図である。

【図7】図6のV-V線における断面図である。

【図8】図1に示すソース線駆動回路のアナログスイッチ部における各構成部分の配置を示す平面図である。

【図9】本発明の実施例2に係るアクティブマトリクスパネルにおける4系列のソース線駆動回路のブロック図である。

【図10】本発明の実施例3に係るアクティブマトリクスパネルにおける1系列のソース線駆動回路の各構成部分の配置を示す構成図である。

【図11】図10に示すソース線駆動回路のブロック図である。

【図12】図10に示すソース線駆動回路の回路図である。

【図13】アクティブマトリクスパネルの全体構成を示すブロック図である。

【図14】(a)はシフトレジスタの回路図、(b)はそのインバータの構成図、(c)および(d)はそのクロックドインバータの構成図である。

【図15】従来のアクティブマトリクスパネルにおける1系列のソース線駆動回路の各構成部分の配置を示す構成図である。

【図16】従来のアクティブマトリクスパネルにおける2系列のソース線駆動回路の各構成部分の配置を示す構成図である。

【符号の説明】

1 1 … 透明基板

1 2, 4 0, 5 0, 7 0, 8 0, 9 0 … ソース線駆動回路

1 3, 2 0, 4 1, 5 1, 7 1, 8 1, 9 1 … シフトレジスタ

10 1 7, 1 8, 1 9 … サンプルホールド回路

2 1 … ゲート線駆動回路

2 2 … 画素マトリクス

2 4, 2 5 … ゲート線

2 6, 2 7, 2 8 … ソース線

2 9 … 薄膜トランジスタ

3 0 … 液晶セル

3 4, 3 7, 8 3, 8 4, 9 3, 9 4 … クロック信号線

4 1 a, 5 1 a … A系列のシフトレジスタ(第1のシフトレジスタ)

4 1 b, 5 1 b … B系列のシフトレジスタ(第2のシフトレジスタ)

4 2 a, 5 2 a, 7 2 a … 第2のシフトレジスタ形成領域

4 2 b, 5 2 b, 7 2 b … 第2のシフトレジスタ形成領域

4 3, 5 3 … A系列のクロック信号線(第1のクロック信号線)

4 4, 5 5 … B系列のクロック信号線(第2のクロック信号線)

30 4 5, 6 5, 7 5, 8 5 … アナログスイッチ部

4 6, 6 6, 6 6 a, 6 6 b, 7 6, 8 6 … ビット信号出力線

4 7, 6 7, 7 7 … バッファ回路

4 9 a, 4 9 b, 5 9 a～5 9 d, 7 9 a, 7 9 b, 8 9 a, 8 9 b … クロック信号入力線

5 1 c … C系列のシフトレジスタ(第1のシフトレジスタ)

5 1 d … D系列のシフトレジスタ(第2のシフトレジスタ)

5 4 … C系列のクロック信号線(第1のクロック信号線)

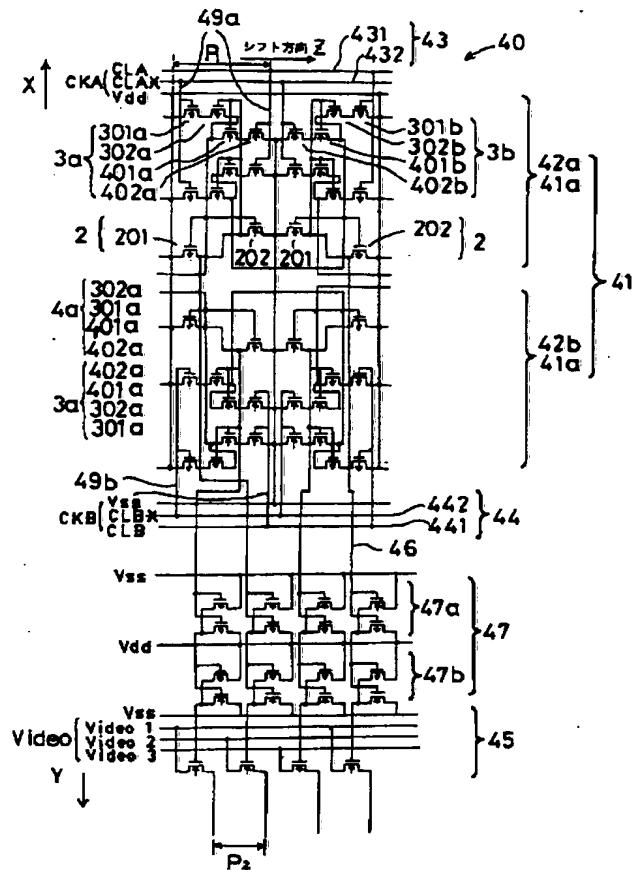
5 6 … D系列のクロック信号線(第2のクロック信号線)

7 3 … 第1のクロック信号線

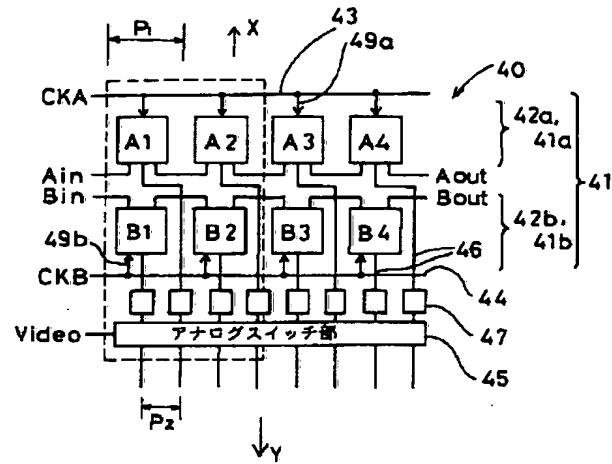
7 4 … 第1のクロック信号線

3 0 0 a, 3 0 0 b, 3 0 0 c, 3 0 0 d … 薄膜トランジスタ形成領域

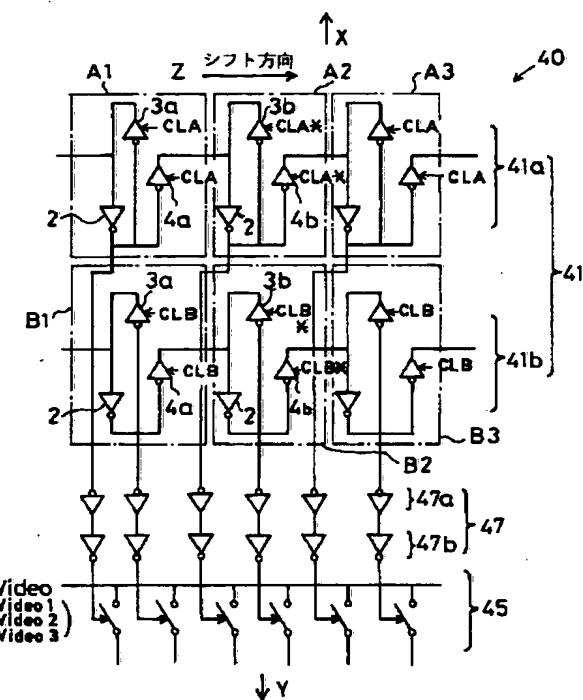
【図1】



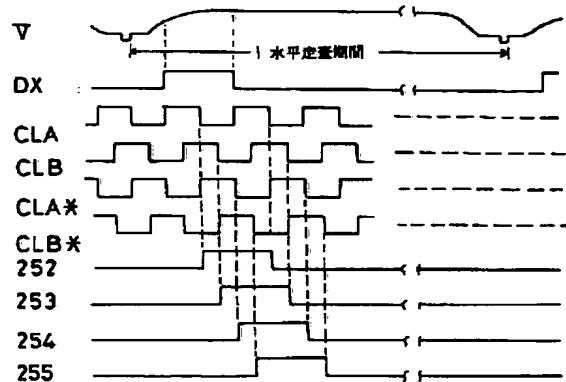
【図2】



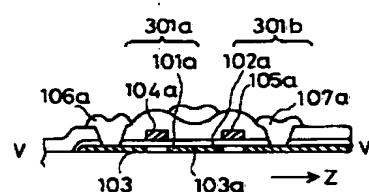
【図3】



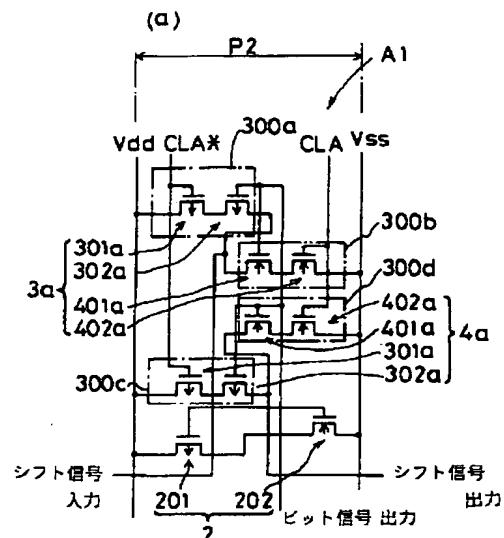
【図4】



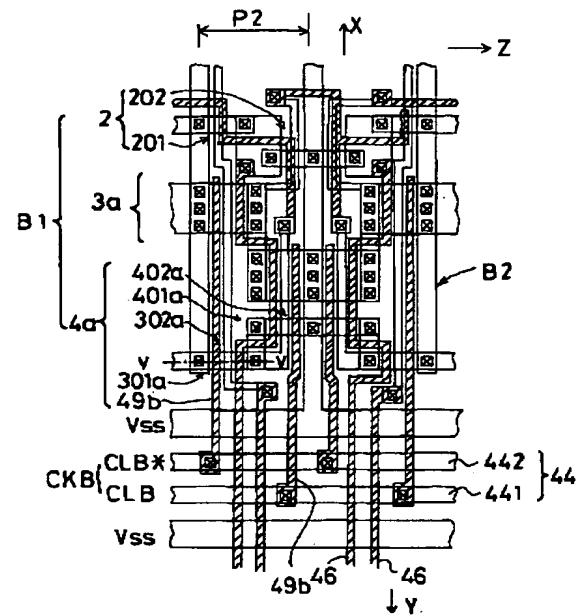
【図7】



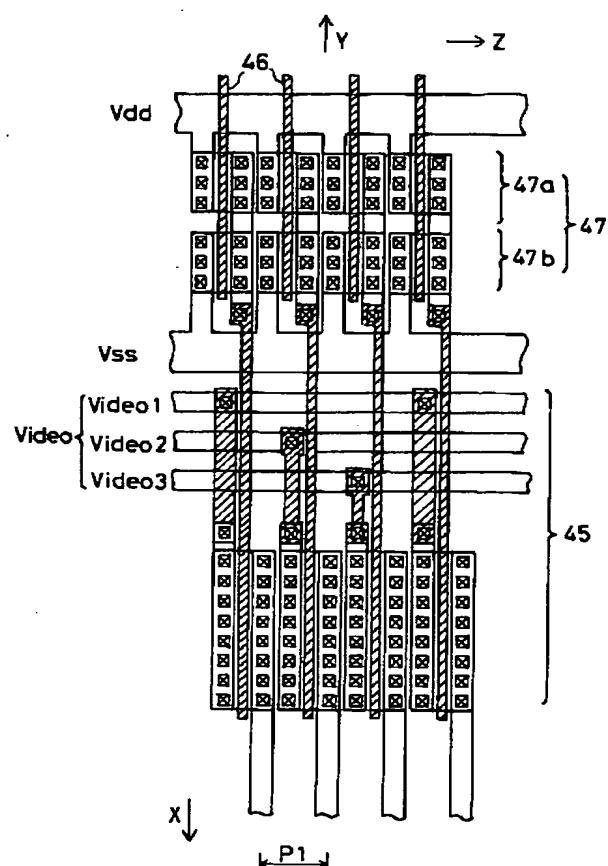
【図5】



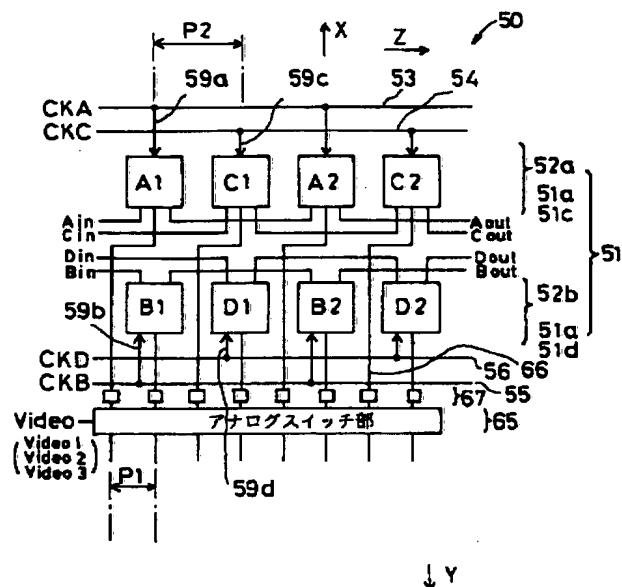
【図6】



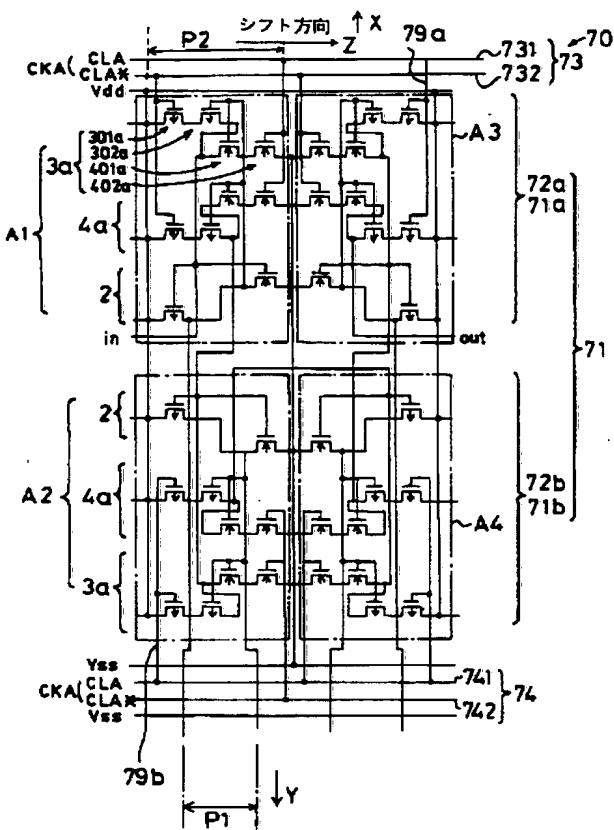
【図8】



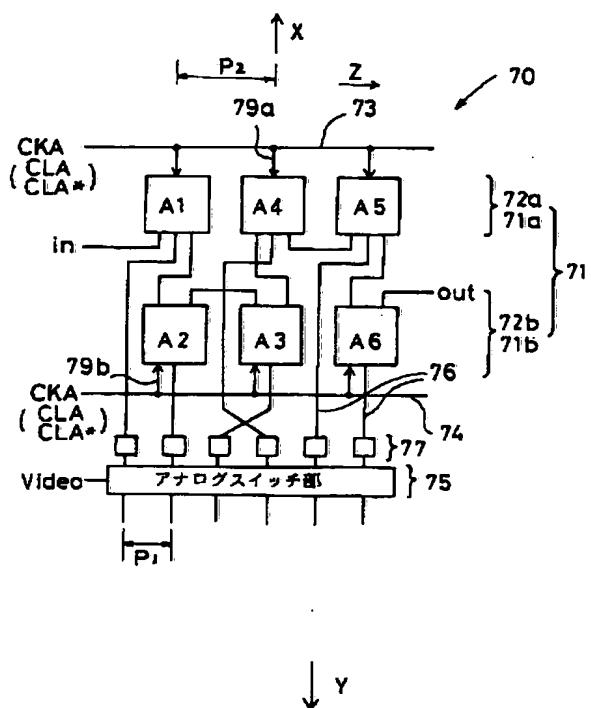
【図9】



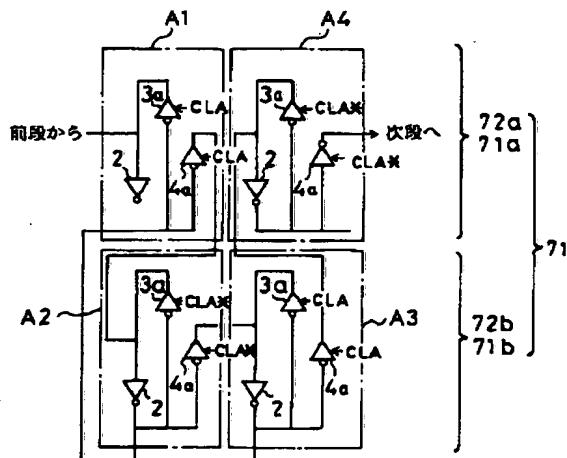
【図10】



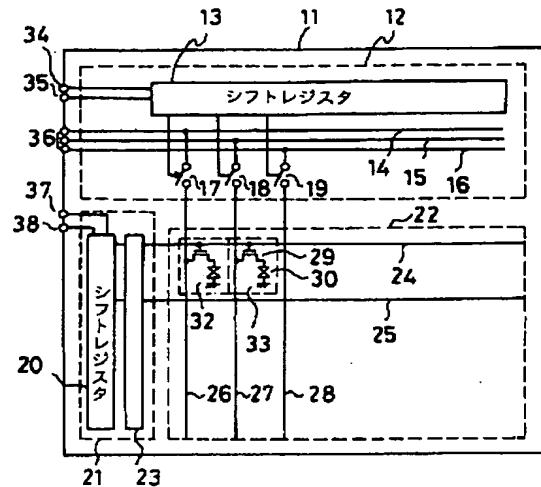
【図11】



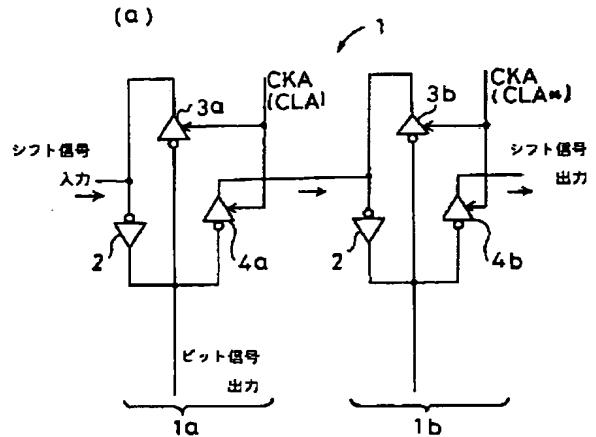
【図12】



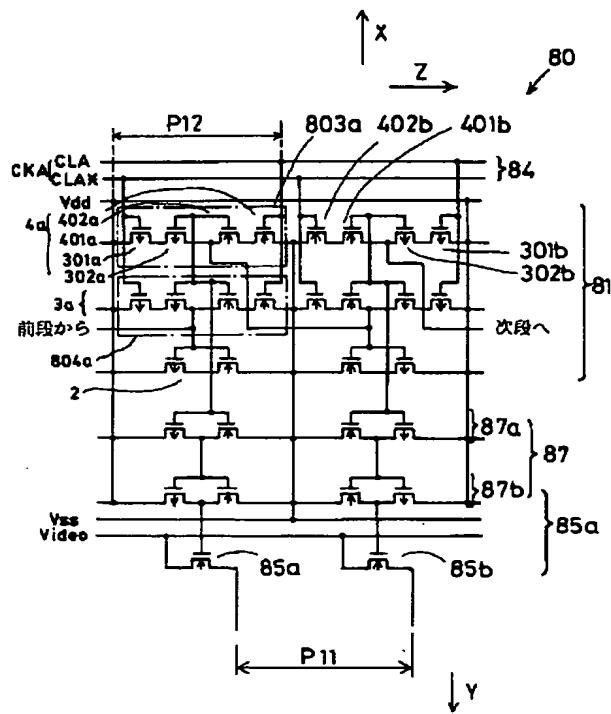
【图13】



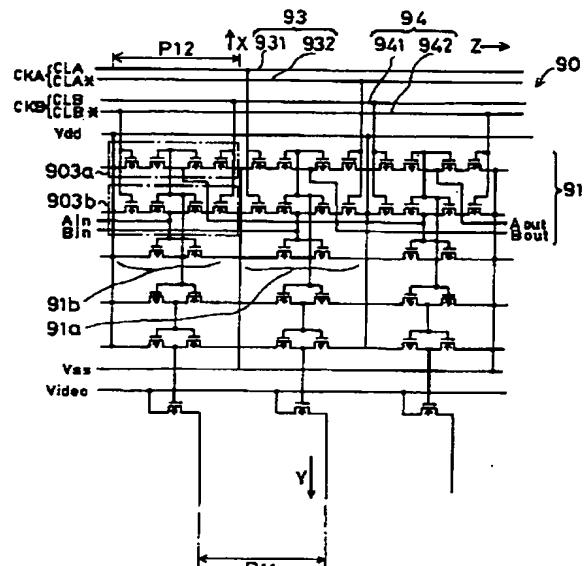
【図14】



【図15】



【図16】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成13年4月27日(2001.4.27)

【公開番号】特開平5-303080

【公開日】平成5年11月16日(1993.11.16)

【年通号数】公開特許公報5-3031

【出願番号】特願平4-106827

【国際特許分類第7版】

G02F 1/133 550

G09F 9/30 338

G09G 3/36

【F1】

G02F 1/133 550

G09F 9/30 338

G09G 3/36

【手続補正書】

【提出日】平成11年4月26日(1999.4.26)

6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】アクティブマトリクスピネルの駆動回路及びアクティブマトリクスピネル

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】シフトレジスタを有し、アクティブマトリクスピネルの各画素を駆動する駆動回路において、前記シフトレジスタは、単位シフトレジスタ毎に、複数の第1導電型および第2導電型の薄膜トランジスタで構成されると共に、クロック信号線から入力されたクロック信号に基づいて駆動される2つのクロックドインバータ回路を有しており、

前記第1導電型および第2導電型の薄膜トランジスタは、前記クロック信号線の形成領域において複数列に配列された薄膜トランジスタ形成領域に形成され、当該各列の薄膜トランジスタ形成領域には同じ導電型の薄膜トランジスタを形成してなり、

前記複数列の薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域同士は、その領域の一方端側同士が互いに近接し、他方端側は互いに反対方向に位置することを特徴とするアクティブマトリクスピネルの駆動回路。

【請求項2】前記シフトレジスタの形成領域は、複数のシフトレジスタ形成領域に分離されてなり、前記シフトレジスタは、該複数のシフトレジスタ形成領域に分割して配置されてなることを特徴とする請求項1記載のアクティブマトリクスピネルの駆動回路。

【請求項3】前記駆動回路は、ソース線駆動回路からなることを特徴とする請求項1または請求項2に記載のアクティブマトリクスピネルの駆動回路。

【請求項4】前記駆動回路は、ゲート線駆動回路からなることを特徴とする請求項1または請求項2に記載のアクティブマトリクスピネルの駆動回路。

【請求項5】シフトレジスタからの信号出力に応じて各画素を駆動するソース線駆動回路又はゲート線駆動回路を有してなるアクティブマトリクスピネルにおいて、前記シフトレジスタは、単位シフトレジスタ毎に、複数の第1導電型および第2導電型の薄膜トランジスタで構成されると共に、クロック信号線から入力されたクロック信号に基づいて駆動される2つのクロックドインバータ回路を有しており、

前記第1導電型および第2導電型の薄膜トランジスタは、前記クロック信号線の形成領域において複数列に配列された薄膜トランジスタ形成領域に形成され、当該各列の薄膜トランジスタ形成領域には同じ導電型の薄膜トランジスタを形成してなり、

前記複数列の薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域同士は、その領域の一方端側同士が互いに近接し、他方端側は互いに反対方向に位置することを特徴とするアクティブマトリクスピネル。

【請求項6】前記シフトレジスタの形成領域は、複数のシフトレジスタ形成領域に分離されてなり、前記シフトレジスタは、該複数のシフトレジスタ形成領域に分割

して配置されてなることを特徴とする請求項5記載のアクティブマトリクスピネル。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】

【課題を解決するための手段】上記課題を解決するために、本発明は、シフトレジスタを有し、アクティブマトリクスピネルの各画素を駆動する駆動回路において、上記シフトレジスタは、単位シフトレジスタ毎に、複数の第1導電型および第2導電型の薄膜トランジスタで構成されると共に、クロック信号線から入力されたクロック信号に基づいて駆動される2つのクロックドインバータ回路を有しており、上記第1導電型および第2導電型の薄膜トランジスタは、上記クロック信号線の形成領域において複数列に配列された薄膜トランジスタ形成領域に形成され、当該各列の薄膜トランジスタ形成領域には同じ導電型の薄膜トランジスタを形成してなり、上記複数列の薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域同士は、その領域の一方端側同士が互いに近接し、他方端側は互いに反対方向に位置することを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】また、複数のシフトレジスタ形成領域に分離されてなり、上記シフトレジスタは、該複数のシフトレジスタ形成領域に分割して配置されてなることを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】上記の構成において、駆動回路としては、ソース線駆動回路及び／又はゲート線駆動回路と/orすることができる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】また本発明は、シフトレジスタからの信号出力に応じて各画素を駆動するソース線駆動回路又はゲート線駆動回路を有してなるアクティブマトリクスピネルの各画素を駆動する駆動回路において、上記シフトレ

ジスタは、単位シフトレジスタ毎に、複数の第1導電型および第2導電型の薄膜トランジスタで構成されると共に、クロック信号線から入力されたクロック信号に基づいて駆動される2つのクロックドインバータ回路を有しており、上記第1導電型および第2導電型の薄膜トランジスタは、上記クロック信号線の形成領域において複数列に配列された薄膜トランジスタ形成領域に形成され、当該各列の薄膜トランジスタ形成領域には同じ導電型の薄膜トランジスタを形成してなり、上記複数列の薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域同士は、その領域の一方端側同士が互いに近接し、他方端側は互いに反対方向に位置することを特徴とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】そして、上記シフトレジスタの形成領域は、複数のシフトレジスタ形成領域に分離されてなり、上記シフトレジスタは、該複数のシフトレジスタ形成領域に分割して配置されてなることを特徴とする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【作用】上記手段を講じた本発明に係るアクティブマトリクスピネルの駆動回路において、第1導電型および第2導電型の薄膜トランジスタは、クロック信号線の形成領域において複数列に配列された薄膜トランジスタ形成領域に形成され、当該各列の薄膜トランジスタ形成領域には同じ導電型の薄膜トランジスタを形成してなり、上記複数列の薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域同士は、その領域の一方端側同士が互いに近接し、他方端側は互いに反対方向に位置する。従って、導電型の異なる薄膜トランジスタの形成領域同士は、近接し合った状態のままで、互いに異なる領域に偏在している。それ故、薄膜トランジスタを形成するにあたっての支障がなく、しかも、回路要素の形成密度が高いシフトレジスタの形成ピッチを狭小化できる。その結果、駆動回路の単位セルのピッチを狭小化して、画素マトリクスピネルを微細化できる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】さらに、シフトレジスタの形成領域は、複数のシフトレジスタ形成領域に分離されてなり、上記シフトレジスタは、該複数のシフトレジスタ形成領域に分割して配置されてなる構成においては、駆動回路の単位セルのピッチを実質的に狭ピッチ化できるので、画素マトリクスを微細化できる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】

【発明の効果】以上のとおり、本発明に係るアクティブマトリクスピネルの駆動回路においては、第1導電型および第2導電型の薄膜トランジスタは、クロック信号線の形成領域において複数列に配列された薄膜トランジスタ形成領域に形成され、当該各列の薄膜トランジスタ形成領域には同じ導電型の薄膜トランジスタを形成してなり、上記複数列の薄膜トランジスタ形成領域のうち、異なる導電型の薄膜トランジスタが形成された薄膜トランジスタ形成領域同士は、その領域の一方端側同士が互いに近接し、他方端側は互いに反対方向に位置することを特徴とするため、以下の効果を奏する。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正内容】

【0044】① 導電型の異なる薄膜トランジスタの形成領域同士を、近接し合った状態のままで、互いに異なる領域に偏在させることができる。それ故、薄膜トランジスタのイオン注入工程などに支障がなく、しかも、回路要素の形成密度が高いシフトレジスタの形成ピッチを狭めることができるので駆動回路の単位セルのピッチを狭小化して、画素マトリクスを微細化できる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正内容】

【0045】② シフトレジスタの形成領域は、複数のシフトレジスタ形成領域に分離されてなり、上記シフトレジスタは、該複数のシフトレジスタ形成領域に分割して配置されてなる構成においては、駆動回路の単位セルのピッチは狭小化される。従って、画素マトリクスの画素ピッチを狭小化して表示の品位を向上することができる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】削除

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】削除